* سیگنال: دریافت‌کننده اطلاعاتی از محیط اطراف است.

* Analog ← از کلمهٔ Analogous به معنای شباهت گرفته شده است.
Digital

* صدای آنالوگ مانند تراموا که دارای پیوستگی است ← مقدار ولتاژ سازندهٔ صدای اصلی است.
صدای دیجیتال مانند لوح فشرده (CD) ← سطح ولتاژ سازندهٔ صدای اصلی است.

* در یک سیگنال دیجیتال اگر ولتاژ یک بیت مثلاً از 5 ولت به 4.9 ولت کاهش یابد هم نسبت چون سطح ولتاژ را یک منطقی می‌خوانیم. در صورتیکه در سیگنال آنالوگ تغییر سطح ولتاژ از 5 به 4.9 تغییر کند خواهد بود.

* مباحث مورد بحث:

I) ایجاد سیگنال‌های دیجیتال از روی آنالوگ و دیجیتال:
به جز چند استثنا می‌توان گفت که سیگنال اولیه‌ای که در اختیار داریم به صورت آنالوگ است (خروجی هم معمولاً (برای استفاده خارجی) به صورت آنالوگ خواهد بود.

* همچنین سیگنال‌هایی که اطلاعات آن شامل صدا و سیگنال‌های تصویر هم داخل سیم‌هایشان است. مثلاً همچنین سیگنال به صورت آنالوگ بود و به صورت سوخت مواد پلاستیک Tape مربوط هم در اثر گرمای بیش از حد می‌سوخت. اکنون که به صورت دیجیتال است برای استخراج اطلاعات چه باید کرد؟ مثلاً در اثر گرمای محیط ترانزیستورهایی که باید برای منطق یک 3.3 ولت تولید کنند، تولید نمی‌کنند، لذا باید آنها را اصلاح کرد.

II) استقلال سیگنال‌های دیجیتال (ارسال):
مثلاً در مورد فایل صوتی MP3 ← نام فایل، آهنگ، سازنده آهنگ، فعال و ... را در صفحه نمایش نشان می‌دهد ولی اطلاعات صوتی را باید به صورت همه بخش کند.

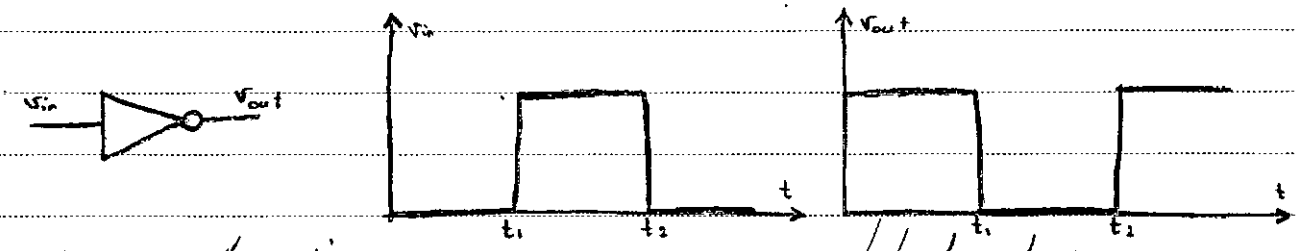
Subject:
Year. Month. Date. ( )

III ، تغییرات مناسب در سیگنالهای دیجیتال

مثل Digital Equalizer ، پردازش تصویر

IV ، دریافت سیگنال های دیجیتال ـ بطور مناسب

* Gate : مداری است که عملیات منطقی ورودی سیگنال های دیجیتال انجام می دهد.

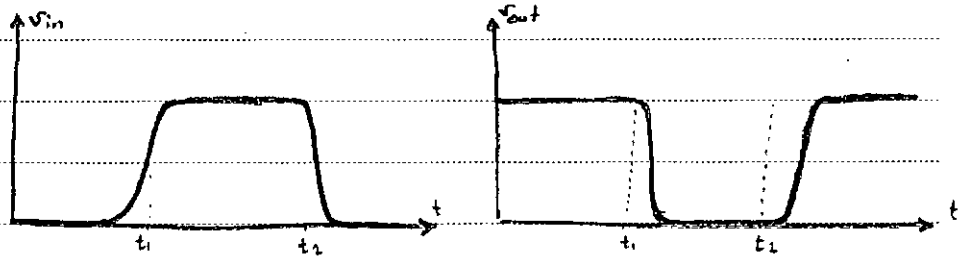


این دیدگاه ، ماکروسکوپیک (macroscopic) است ، می خواهیم دیدگاه خود را تغییر دهیم کمی دقیق تر و ریزتر به مسأله نگاه کنیم (میکروسکوپیک microscopic)

* اشکال دید ماکروسکوپیک :

I ، سیگنال ورودی در مدت زمان ناچیز ($\Delta t \to 0$) تغییر ناگهانی داد.

II ، سیگنال خروجی بدون فاصله از سیگنال ورودی ظاهر شده است (تأخیرات در نظر گرفته نشده)



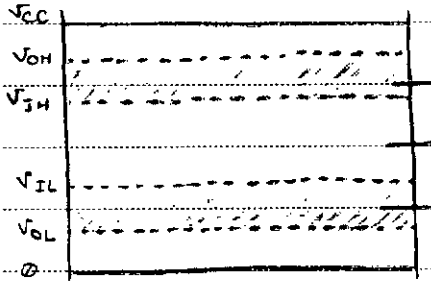
* Positive logic :

در این منطق سطح ۱ منطقی ولتاژ 5 + (یا 12) و سطح ۰ منطقی ولتاژ ۰ (۰-) را در نظر می گیرند

بر عکس Negative logic است. Positive

☑ مثال عینی برای منطق منفی پورت سریال RS232 که ۱ منطقی ولتاژ 15- تا 12- و صفر منطقی ولتاژ 12 تا 15 را داراست.

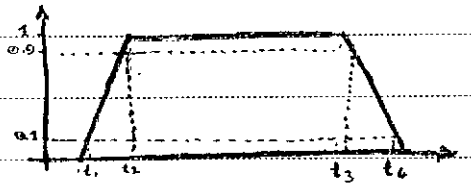
Noise Margin *



حد تحمل در مقابل نویز هنگامی که می خواهیم ورودی وخروجی را به صورت یک منطقی تعبیر می شود که هر چقدر بزرگتر باشد بهتر است.

در حالت PC در نظر گرفتن NM = 1 V خوب است. زیرا نویز باید بزرگی لازم است تا بتواند تغییر 1 V در مدار ایجاد کند.

Rise & Fall Time *



$t_r = t_2 - t_1$

$t_f = t_4 - t_3$

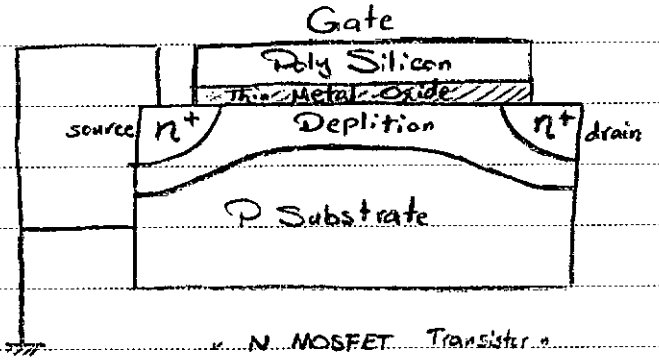
تعریف ۱ در مورد این دو پارامتر متفاوت است ولی در اینجا اینگونه تعریف داده می شود.

Fan-Out / Fan-In *

Fan-Out : خروجی یک گیت، چند گیت دیگر را می تواند تغذیه کند.

Fan-In : ورودی یک گیت، از چند جا می تواند گرفته شده باشد.

MOSFET *



N MOSFET Transistor

در FET تاثیر میدان الکتریکی باعث روشن و خاموش شدن FET می شود و جریان اضافی نخواهیم داشت. برعکس BJT که در Base یک جریان اضافی هم داریم.

Field Effect Transistor

P4PCO

Subject:

Year. Month. Date. ( )

In P-N junction current is due to electrons & holes movements *

In NMOS current is due to electron movement from source to drain *

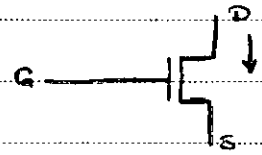
* در ترانزیستورهای source و drain قابل عوض شدن است ولی در عمل امکانپذیر نیست چون source ، substrate را به بدنه متصل می‌کنند.

* $V_{GS} < V_T \Rightarrow$ ترانزیستور خاموش است
$V_{GS} \geq V_T \Rightarrow$ ترانزیستور روشن است

* قرارداد: از این به بعد فرض بر این است که source و substrate به هم متصل هستند.

* تمام بالا را در مورد PMOS می‌توان تعمیم داد. فقط باید قدر مطلق V_{GS} را مد نظر قرار داد.

* حالت‌های عملکرد NMOS:



≡ NMOS

I. قطع (Cut off):

$V_{GS} < V_T$

$I_D = 0$

II. خطی (linear):

$V_{GS} > V_T$ & $0 < V_{DS} < V_{GS} - V_T$

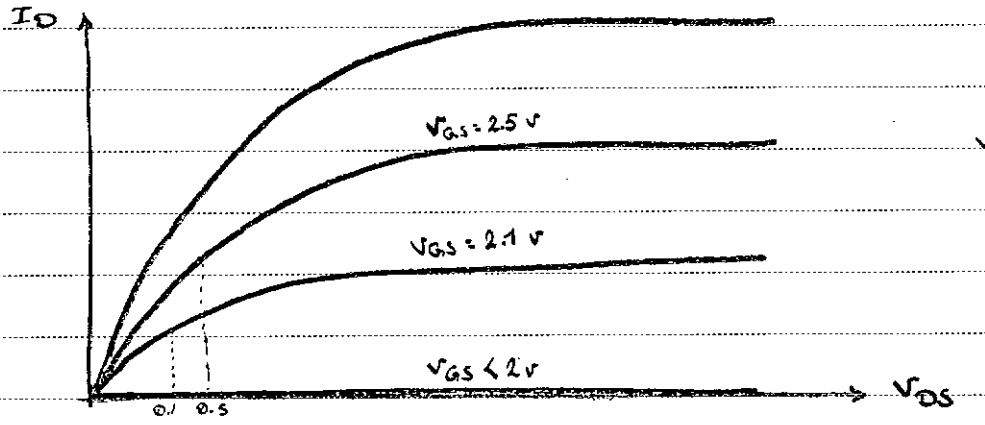
$I_D = K \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$

III. اشباع (Saturation):

$V_{GS} > V_T$ & $V_{DS} > V_{GS} - V_T$

$I_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$

در این رابطه λ به دلیل کوچک بودن معمولاً صرفنظر می‌شود.
توان ۲۰ در واقع عبارت $(V_{GS} - V_T)$ به مربع است چون با تغییرات کوچک نیز عمل می‌کند و مانند یک سوئیچ حساس است.



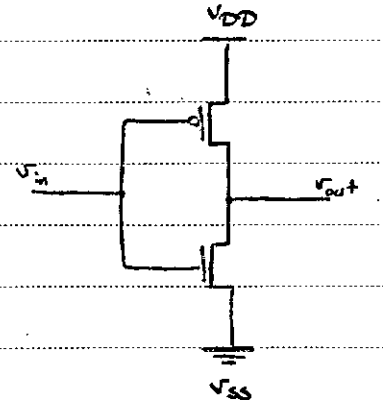
Subject:

Year. 84 Month. 7 Date. 9 (3)

Complimentry MOS:

با این CMOS در دنیای دیجیتال انواع دیگر تکنولوژی‌ها از رده خارج شدند ولی در موارد آنالوگ همچنان کاربرد دارند.

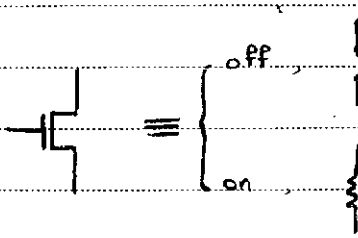
CMOS Inverter:



V_{SS}: برای ground دارای پتانسیل است که با بایاس‌دهی MOS ساخته می‌شود.

$V_{in} = 0 \rightarrow$ NMOS ~ off

$V_{in} = 0 \xrightarrow{V_{DS}=0} V_{GS} = V_{DD} \rightarrow |V_{GS}| \geq |V_T| \rightarrow$ PMOS ~ on



ترانزیستورهای خاص $m\Omega$ / لیتهای دیجیتال $k\Omega$

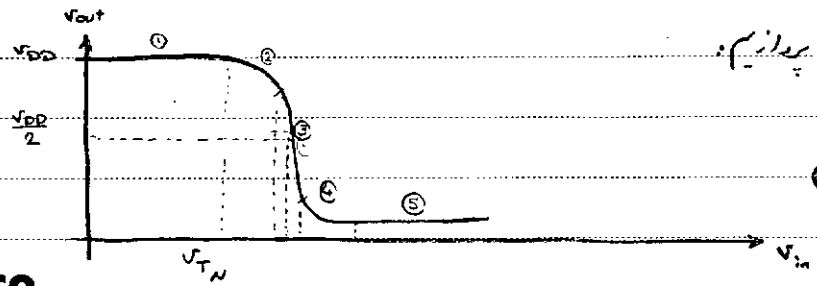
پس خروجی $V_{DS}=0$ درست شده و چون پتانسیل ثابت است (یک منطقی)

PMOS ~ on , $R_{on} \downarrow \rightarrow V_{out} = V_{DD}$ (یک منطقی)

حالا حالت برعکس یعنی $V_{in}=1$ را در نظر می‌گیریم:

$V_{in} = 1 \rightarrow$ NMOS ~ on $\rightarrow R_{on} \downarrow \rightarrow V_{out} = V_{SS}$ (صفر منطقی)

حال: بررسی دقیق ترانزیستور که می‌پردازیم:



شخصه دیدی - خروجی ($R_{on}=0$)

Subject: 4

Year. Month. Date. ( )

① $V_{in} < V_{TN} \Rightarrow$ NMOS: cut off

PMOS: $V_{DS} = 0 < V_{GS} - V_T \Rightarrow$ PMOS: linear

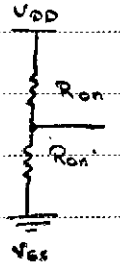
② $V_{in} > V_{TN} \Rightarrow$ NMOS: $V_{GS} = V_{in}$

$V_{DS} = V_{DD} \Rightarrow$ NMOS: saturation

PMOS:

$\Rightarrow$ PMOS: linear

از آنجائیکه هر دو ترانزیستور روشن هستند دو مقاومت R_{on} حاکی آنها را در نظر گرفته و طبق قانون تقسیم مقاومتی داریم.



V_{DS} ↑ ، با افزایش V_{in} اضافه می‌شود.

V_{DS} ↓ ، با افزایش V_{in} کاهش می‌یابد.

③ $V_{out} \simeq \frac{V_{DD}}{2} \Rightarrow$ NMOS: $V_{DS} = \frac{V_{DD}}{2}$

$V_{DS} > V_{GS} - V_T \Rightarrow$ NMOS: saturation

PMOS: $V_{DS} = \frac{V_{DD}}{2}$

$V_{DS} > V_{GS} - V_T \Rightarrow$ PMOS: saturation

④ NMOS: linear

PMOS: saturation ② مطابق حالت

⑤ NMOS: linear

PMOS: cut off ① مطابق حالت

$$\begin{cases} V_{OH} = V_{DD}, & V_{OL} = V_{SS} = 0 \\ V_{IL} = V_T, & V_{IH} = V_{DD} - V_T \end{cases}$$

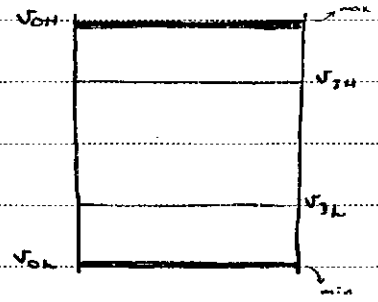
Subject:

Year. Month. Date. ( )

* مزایای CMOS :

• Full Swing

یعنی در تمام بازهٔ Noise Margin ثابت جابجایی دارد.



$V_{OH} = V_{DD} \Rightarrow V_{OH} \sim max$

swing

$V_{OH} = V_{SS} \Rightarrow V_{OH} \sim min$

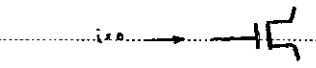
• Low Output Impedance

چون معادله تعیین می‌کنیم که یکی از ترانزیستورها روشن باشد و دیگری خاموش باشد پس مقاومت معادل کم Ron تقلیل می‌یابد.

$V_{out} = V_{DD} - i_{out} * R_{on}$

هرچه کوچکتر باشد، میزان دقت خروجی استقلال بیشتری از جریان می‌یابد.

• Large Input Impedance



هیچ جریانی از لحظه قبل خود نمی‌کشد

* مصرف توان در مدارهای CMOS : ((Power Dissipation))

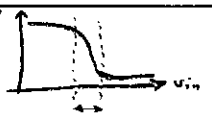
I. Leakage Current (Static)

حتی ترانزیستورها در حالت خاموش نیز از خود جریان نمی‌کشند که با ولتاژ رابطه مستقیم دارد. این جریان موجب اتلاف توان می‌شود. static بودن آن یعنی استقلال آن از شکل مدار و تغییرات ورودی مداراست.

$$I_D = I_0 \left(e^{-\frac{q \cdot V_{GS}}{nkT}} - 1 \right)$$

II. Short Circuit (Dynamic)

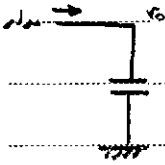
در هنگام تغییر وضعیت مدار دو عدد از ناحیه‌های 2 و 3 و 4 باعث تغییر تدریجی Vout در



متقاطعی از زمان هر دو ترانزیستور روشن است و V_{DD} و V_{SS} تقریباً short circuit می‌شوند. در این بازه زمانی مقداری توان تلف می‌شود.

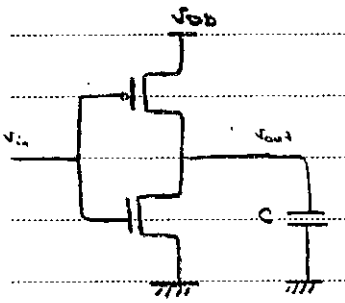
III. Switching (Dynamic)

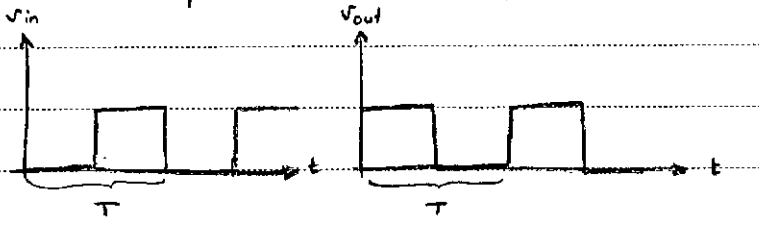
هر مدار در قسمت خارجی خود به مدارهای دیگری متصل است که این طبقه بعدی را به صورت load می‌نامند و آنها از دو جنبه مقاومتی و خازنی مدل می‌کنند. در CMOS به علت امپدانس ورودی بالا عملاً مقاومت نیزی به حساب نمی‌آید پس تنها این خازن است که در مدل می‌ماند.



در هر بار switch از پایه صفر و از صفر به ۱ به اندازه $\tau = R_{on} C$ طول می‌کشد، خازن شارژ و دشارژ می‌شود که ثابت زمانی آن τ است و انرژی در آن مصرف می‌شود. ($Z = R + \frac{1}{j\omega C}$)

اگر دروازه به صورت متقابل به مدار زیر اعمال شود، داریم:





$$E_1 = \int_0^{T/2} v(t).i(t)\,dt = C\int_0^{T/2} v(t)\frac{dv}{dt}\,dt = C\int_0^{V_{DD}} v\,dv$$

$$E_2 = \int_{T/2}^{T} v(t).i(t)\,dt = \dots$$

$$E_1 = \frac{1}{2} C V_{DD}^2 \qquad E_2 = -\frac{1}{2} C V_{DD}^2$$

هر دوی این مقادیر، مقادیر تلف شده اند و حاصل کاری هستند که باتری در V_{DD} انجام داده است.

$$P = \frac{\frac{1}{2} C V_{DD}^2 + \frac{1}{2} C V_{DD}^2}{T} \Longrightarrow \boxed{P = C.f.V_{DD}^2}$$

برای کم کردن این توان تلف شده می‌توان به قاعده‌ی این فرمول دست زد:

① V_{DD} ↓ : توان با نمای ۲ کاهش می‌یابد ولی مدارای آن Noise Margin کاهش می‌یابد. (چون اینکار با voltage scaling ممکن است)

Subject:

Year. Month. Date. ( )

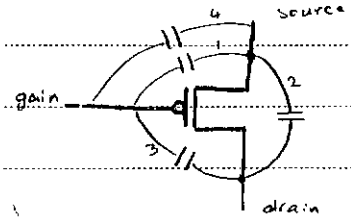
② ↓ f : اصولاً روند تکنولوژی به سمت افزایش فرکانس است و در Trade off با بالا بردن توان است.

③ ↓ C : هرچه fan out خروجی بیشتر باشد، C بالاتر می‌رود. می‌توان fan out را پایین آورد. می‌توان نحوه process را تغییر داد تا C را پایین بیاورد. پیشه‌ی دیگری نیز در C دخیل است که مربوط به مقاومت کننده‌ی فلزات است interconnect نام دارد. با کوچک‌تر شدن مدارها دولا سیم‌ها نازک‌تر شده‌اند، ضخامتشان هم نزدیک‌تر شده‌اند.

فرمول قبل دارای فاکتوری به نام «activity» است که بین صفر و یک تغییر می‌کند. برای طراحی مدارهایی با توان پایین تنها فاکتوری که خارج از کارخانه قابل دسترس است، همین عامل α است. با پایین آوردن تعداد switch به روشهای نرم‌افزاری یا طراحی سخت‌افزار، می‌توان α را پایین آورد.

$$P = \alpha \cdot f \cdot C \cdot V_{DD}^2 \quad , \quad 0 \le \alpha \le 1$$

* خازنهای load دارای انواع مختلفی هستند که در قسمتهای مختلف ترانزیستور قرار می‌گیرند. این خازنها به «خازنهای پارازیتی» معروفند.



① gain – source

② source – drain

③ gain – drain

④ gain – substrate

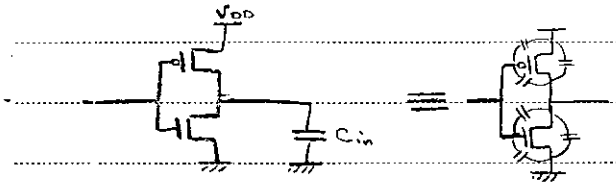
ترکیب این سه ظرفیت خازنی را به‌صورت زیر در نظر می‌گیریم:

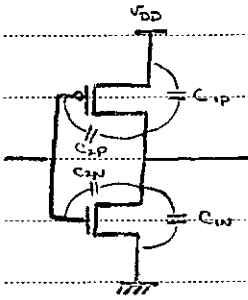
PMOS : $W_P \cdot L_P \cdot C_{ox}$

NMOS : $W_N \cdot L_N \cdot C_{ox}$

(عرض ترانزیستور × طول ترانزیستور × ضریب خازنی واحد)

$$C_{in} = (W_P L_P + W_N L_N) C_{ox}$$





برای محاسبه C_{in} تقریبا زیر فرض می‌کنیم:

$$C_{in} = (W_N L_N + W_P L_P)\, C_{ox}$$

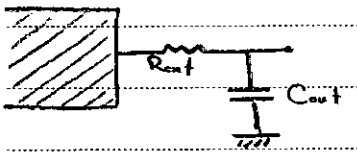
این معادله برای محاسبه تقریبی سطح ترانزیستور و تاثیر خازنی آن روی C_{in} است. برای به دست آوردن خازن‌های این gate باید سایز ترانزیستور را بدانیم.

برای محاسبه C_{out} باید ورودی دنبال منابع تغذیه صفر فرض شوند:

$$C_{out} = C_{1N} + C_{2N} + C_{1P} + C_{2P}$$

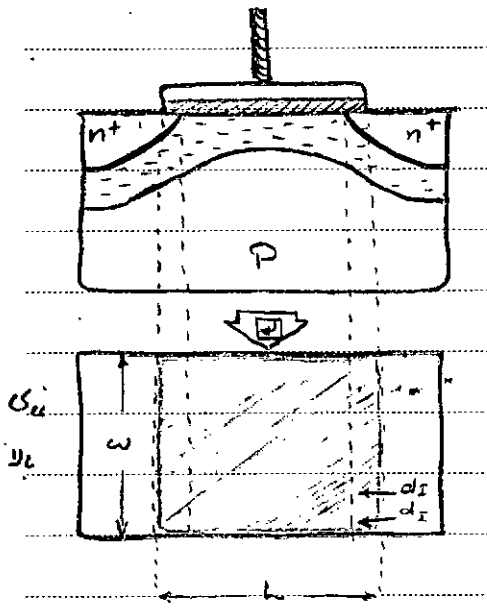
محدوده C_{in}, C_{out} در تکنولوژی‌های کنونی در حد چند ده صدم فمتو فاراد کوچکتر است: $C_{in}, C_{out} < 1\,pF$

برای ما مطلوب است که مقاومت خروجی صفر باشد چون موجب افت ولتاژ می‌شود. و نیز C_{out} را باید صفر در نظر بگیریم زیرا در وصل کردن به طبقه بعد، بار خازنی به مدار تحمیل می‌کند. هرچند که امپدانس به صورت دو قسمتی است:



$$Z_{out} = R_{out} + \frac{1}{j \cdot C_{out} \cdot \omega}$$

* تعادل در CMOS: Symmetrical CMOS Inverter:



$$I_D = \underbrace{\mu_n C_{ox}}_{K_n} \frac{W_n}{L_n}\left[(V_{GS}-V_T)V_{DS} - \frac{V_{DS}^2}{2}\right]$$

K_n : Device Transconductance

Process Transconductance

چون جریان تابعی از ولتاژ است، $\frac{W_n}{L_n}$ معادل بایاس الزامی است ($= \frac{1}{12}$).

$W \uparrow \Rightarrow I_D \uparrow$

$L \uparrow \Rightarrow$ فضای بزرگتر $\Rightarrow$ میدان پراکنده‌تر $\Rightarrow I_D \downarrow$

$C_{ox} \Rightarrow$ خازن در واحد سطح $\sim$ process بستگی به

$\mu_n \Rightarrow \uparrow$ تحرک الکترونی $\Rightarrow I_D \uparrow$

ضریب mobility : $\mu_n = (2\text{-}3) \times \mu_p$ (دو الی سه برابر)

Subject:
Year. Month. Date. ( )

با توجه به توضیحات قبلی، $\mu_n \simeq 2.5 \times \mu_p$ پس در یک معکوس کننده:

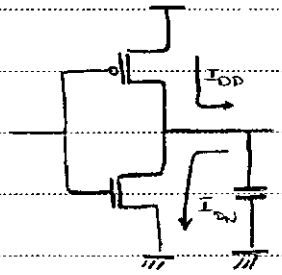
$$\left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_N \Rightarrow K_n = 2.5\, K_p$$

که تنها را به هم می زند و مقادیر آن تغییر می کند. برای حفظ تقارن باید $K_n = K_p$ پس:

$$K_n = K_p \Rightarrow \left(\frac{W}{L}\right)_p = 2.5 \left(\frac{W}{L}\right)_N$$

* محاسن CMOS متقارن:

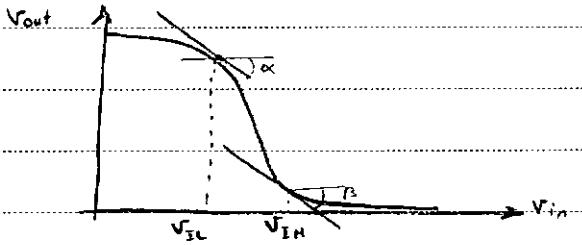
Symmetrical behavior in LOW → HIGH and HIGH → LOW



$I_{ON} = 2.5\, I_{OP} \Rightarrow$ سرعت دشارژ با شارژ فرق می کند

پس متقارن بودن مدار این مشکل را حل می کند و مزیت است.

Symmetrical behavior in V_{IL} and V_{IH}

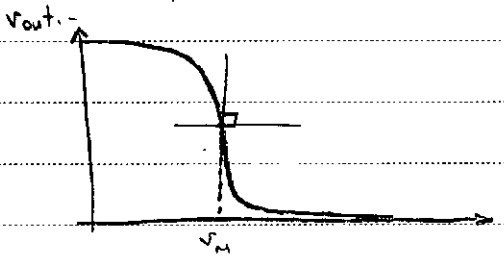


متقارن: $|\tan\alpha| = |\tan\beta| = 1$

یعنی بین V_{IH} و V_{IL} تغییرات شیب وجود می دهد.

ولی V_{OL} و V_{OH} تأثیری ندارد.

Symmetrical behavior in Noise Margin



متقارن: $V_M = \frac{V_{DD}}{2}$

استفاده از CMOS متقارن یک Trade off است بین: فضا ↔ مزایای متقارن

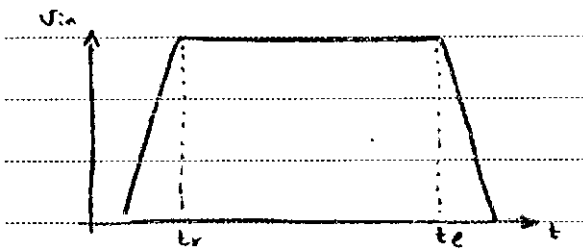
* در مهندسی هر چیزی که به دست بیاریم باید ببینیم چه چیزی را خراب کردیم و همه چیز به صورت Trade Off است.

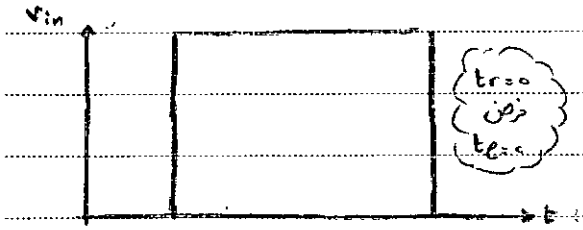
Subject: 7

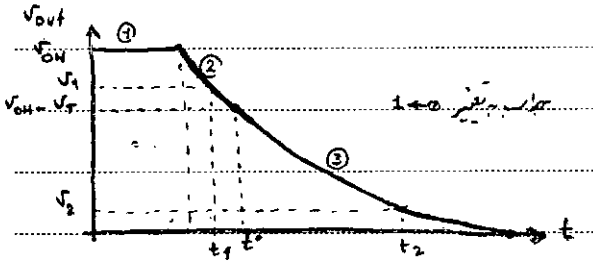
Year. Month. Date. ( )

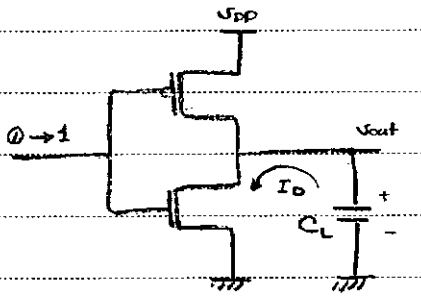
CMOS Inverter Dynamic Response

* پاسخ پله‌ای معکوس کننده CMOS









① PMOS: off

NMOS: $|V_{GS}|=V_{DD}$, $V_{DS}=0$ → linear

② خازن مدار با تغییر ولتاژ خود مخالفت می‌کند.

$-I_D = C_L \cdot \frac{dV_{out}}{dt}$

فرض می‌کنیم تغییرات نسبتاً سریع است.

PMOS: off

NMOS: $|V_{out}| > |V_{GS}-V_T|$ → saturation

③ PMOS: off

NMOS: $|V_{out}| < |V_{GS}-V_T|$ → linear

t_{PHL} : propagation delay high to low ←

$V_1 = V_{OH}$, $V_2 = \frac{V_{OH}}{2}$ حتی

$\Delta t = t_{PHL} = \frac{0.8\ C_L}{k_n \cdot V_{DD}}$ ***

برای محاسبه تأخیر مدار به تغییر $0 \rightarrow 1$ داریم:

$dt = -C_L \frac{dV_{out}}{I_D(V_{out})} \Rightarrow$

$\int_{t_1}^{t_2} dt = -\int_{V_{out}=V_1}^{V_{out}=V_2} C_L \cdot \frac{dV_{out}}{I_D(V_{out})} \Rightarrow$

$\Delta t = (t'-t_1)+(t_2-t') = \int_{V_1}^{V_{OH}-V_T} C_L \frac{dV_{out}}{(V_{GS}-V_T)^2}$

$+ \int_{V_{OH}-V_T}^{V_2} C_L \frac{dV_{out}}{(V_{GS}-V_T).V_{DS}-\frac{V_{DS}^2}{2}}$

پس:

$t_{PHL} \sim C_L$ → خازن بزرگتر ≡ تأخیر بیشتر

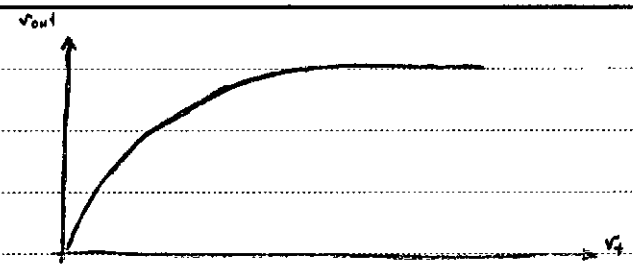
$t_{PHL} \sim \frac{1}{V_{DD}}$ →

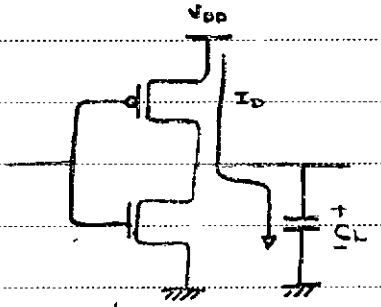
$t_{PHL} \sim \frac{1}{k_n}$ → $(\frac{W}{L})_N$ بیشتر ⇐ سایز ترانزیستور

$\frac{W_N}{L_N} \Rightarrow I_D \uparrow \Rightarrow$ تأخیر ↓ ⇒ زمان انتقال خازن ↓

Subject:

Year. Month. Date. ( )

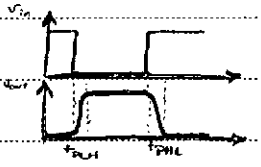


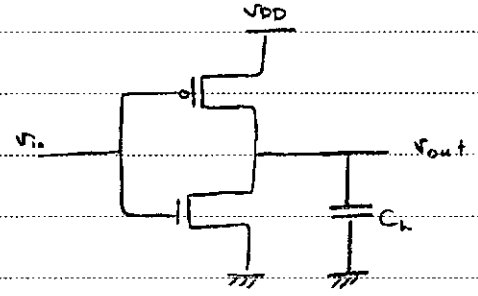


ترانزیستور P در شارژ خازن تعیین کننده است.

$$t_{PLH} = \frac{0.8\ C_L}{K_p \cdot V_{DD}}$$

Symmetric CMOS $\Rightarrow K_p = K_N \Rightarrow t_{PHL} = t_{PLH}$ ✓





$V_{DD} = 5\ V$ Symmetric CMOS ☑

$N: 4/2$ $C_L = 0.1\ pF \rightarrow A.S/J \equiv F$

$K'_n = 80\ \mu A/V^2$ $K'_p = 32\ \mu A/V^2$

$$t_{PHL} = \frac{0.8 \times 0.1\ pF}{(80^{\mu A/V^2} \times 2) \times 5} = \frac{0.08 \times 10^{-12}}{800 \times 10^{-6}} = 0.1\ ns$$

Sym

Symmetric CMOS $\Rightarrow P: 10/2$

$$t_{PLH} = \frac{0.8 \times 0.1\ pF}{(32 \times 5) \times 5} = \frac{0.08 \times 10^{-12}}{800 \times 10^{-6}} = 0.1\ ns$$

اگر مساحت سوئیچ‌ها $(W/L)_p = 4/2$ باشد:

$t_{PLH} = 0.25\ ns$ $(= 2.5 \times t_{PHL})$

* چند Trade OFF

V_{DD}: توان $P \sim V_{DD}^2$ ↯ $t_p \sim \frac{1}{V_{DD}}$

C_L: در طراحی مدار مطلوب است $C_L \rightarrow \infty$ ↯ $t_p \sim C_L$

Fan out: مطلوبست Fan out ↑ ↯ $t_p \sim \frac{1}{\text{fan out}}$

ولی اصولاً در پایین آوردن C_L اجماع نظر است.

* محدودیت های fan out

• Steady State Current Limit

$I_{in} = \frac{V_{DD}}{R_{in}}$, $fan\text{-}out = \frac{I_{max}}{I_{in}}$

مقدار واقعی ☑

$I_{in} = \frac{5\,V}{1\,M\Omega} = 5\,\mu A$, $fan\text{-}out = \frac{5\,mA}{5\,\mu A} = 1000$

• Dynamic State Current Limit

جریان لازم برای شارژ و دشارژ C در این جریان ناپایا (surge) می باشد.

$fan\text{-}out = \frac{I_{max}}{I_{surge}}$

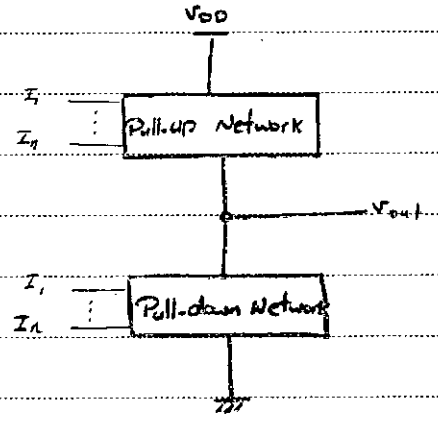
$I_{surge} = 100\,mA$, $fan\text{-}out = \frac{5\,mA}{100\,\mu A} = 50$ ☑

• Propagation Delay Limit

$T_{max} = 0.5\,ns$, $fan\text{-}out = \frac{0.5\,ns}{0.1\,ns} = 5$

* Pull-up شبکه ای از نوع p که بین خروجی و "یک منطقی" قرار دارد.
Pull-down شبکه ای از نوع n که بین خروجی و "صفر منطقی" قرار دارد.

در طراحی یک CMOS gate:



۱- دو شبکه بالا و پایین در هیچ حالتی همزمان روشن نباشند و گرنه VDD به GND اتصال کوتاه می شود.

۲- اگر دو شبکه همزمان خاموش باشند، ورودی هایی وجود خواهد داشت که به ازای هیچ ترکیبی از ورودی ها به این حالت ختم نشود.

۳- ترجیح می دهیم که در Pull-up Net همیشه از PMOS و در Pull-down Net همیشه از NMOS استفاده کنیم.

Subject:

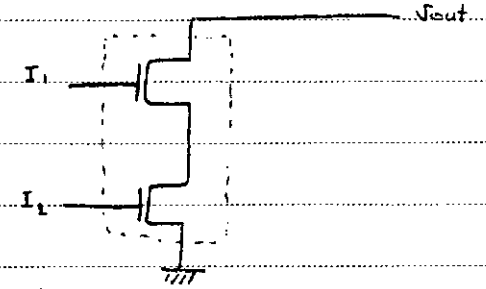
Year. Month. Date. ( )

NAND ★

۱- حالتی که کمترین ترانزیستور روشن باشد را انتخاب می‌کنیم. جدول ورودی را رسم می‌کنیم.

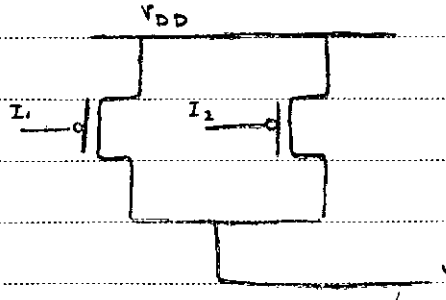
۲- اگر I_1 و I_2 هر دو روشن باشند، مدار پایین باید روشن باشد.

I_1	I_2	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0



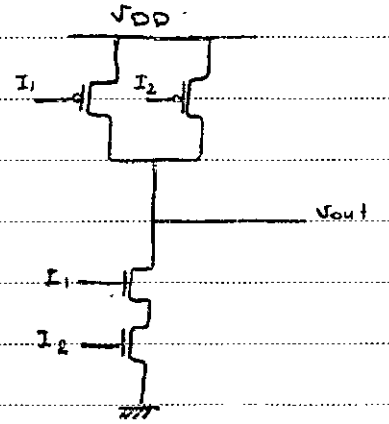
۳- مدار بالا باید با PMOS ساخته شود و در صورت خراب شدن دیودی سر راه باید خروجی یک شود.

I_1	I_2	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0



۴- حال امتحان می‌کنیم که برای حالتهای دیگر هیچ راهی از Short Circuit و Float خروجی نباشد.

۵- پاسخ CMOS NAND



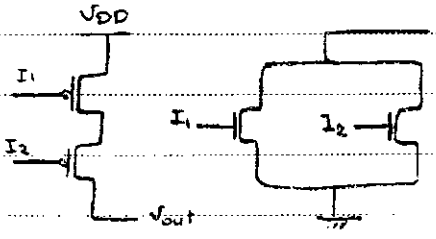
$V_{OL} = 0$

$V_{OH} = V_{DD}$

Symmetric: $I_D = K_n \frac{W}{L} (\dots) \rightarrow \frac{W}{L}$ = ظرفیت الکتریکی

NOR ★

I_1	I_2	V_{out}
0	0	1
0	1	0
1	0	0
1	1	0

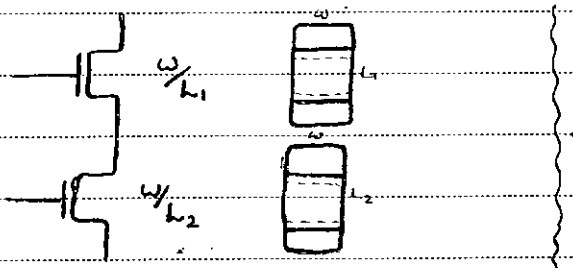


PAPCO

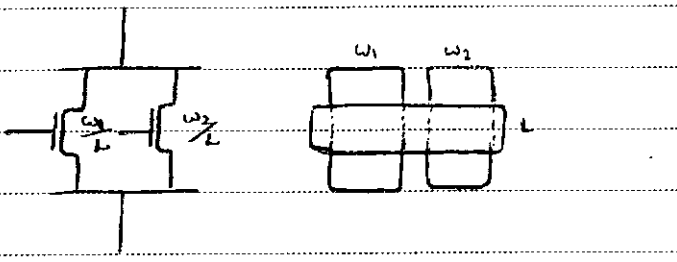
* برای متصل بودن گیت NAND داریم:

$$I_D = K'_n \cdot \frac{W}{L} \cdot (\ldots)$$

device transconductance ← بهره الکترونیکی



$$T_{معادل} = \frac{W}{L_1 + L_2} \leftarrow R_{eq} = R_1 + R_2$$



$$T_{معادل} = \frac{W_1 + W_2}{L} \leftarrow \frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_2}$$

حال یک گیت NAND بدی کردیم:

$$2\left(\frac{W}{L}\right)_p = 2.5\left(\frac{W}{L}\right)_n$$

برای n ورودی داریم:

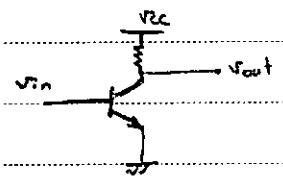
$$2n\left(\frac{W}{L}\right)_p = 2.5\left(\frac{W}{L}\right)_n$$

برای گیت NOR داریم:

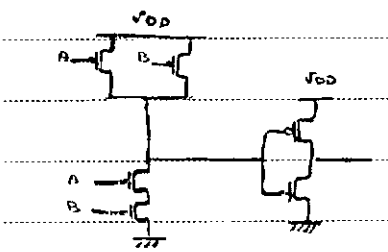
$$\left(\frac{W}{L}\right)_p = 5n\left(\frac{W}{L}\right)_n$$

از آنجا که هرچقدر تعداد عناصر گیت NAND در سطح دیز ثابت با برابر تعداد عناصر گیت NOR است معمولاً NAND را ترجیح می‌دهند.

* معماره ترانزیستورها (هم از NMOS و PMOS و حتی ترانزیستورهای Bipolar) بسیار معکوس می‌کند.



بهمین دلیل هر منطق دارای NOT راحت می‌توان ساخت.



* AND , OR

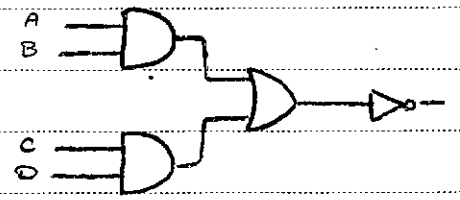
AND = Invert of NAND

OR = Invert of NOR

Subject:

Year. 84 Month. 7 Date. 25 (7)

* گیت AOI (And - Or - Invert)



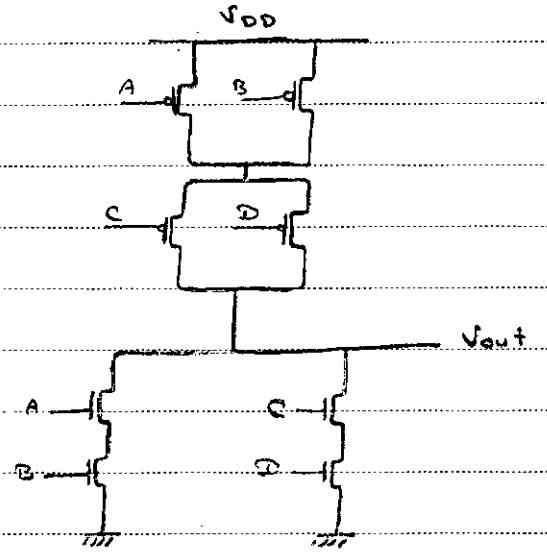
1- $V_{out} = 0 \leftarrow A = B = 1$

2- $V_{out} = 0 \leftarrow C = D = 1$ } مسیر موازی

3- Network بالا باید dual شبکه پایین باشد.

چون در هر لحظه فقط یک شبکه فعال است.

A	B	C	D	Vout
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



☑ تابع $Z = \overline{AB + C}$ را با تکنولوژی CMOS رسم کنید.

1. باید ببینیم چه حالتهایی مدار صفری شود. انتخاب صفر بیشتر اقتصادی است.

2. $Z = 0 \rightarrow AB + C = 1 \rightarrow C = 1$

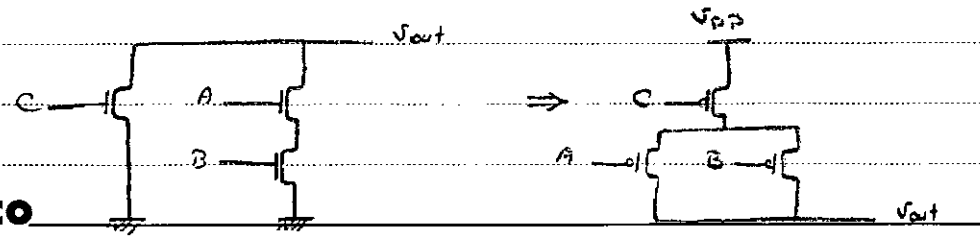
$\rightarrow AB = 1 \rightarrow A = B = 1$

3. در مدار Pull down چون با یک شدن C مقدار مدار صفری شود پس آنرا لحاظ می‌کنیم.

4. A و B اگر هر دو یک باشند (حالت سری) مقدار مدار صفری شود.

5. AB و C مستقل پس باهم موازی می‌کنیم.

6. نمیه دیگر مدار dual قسمت فوقی است.



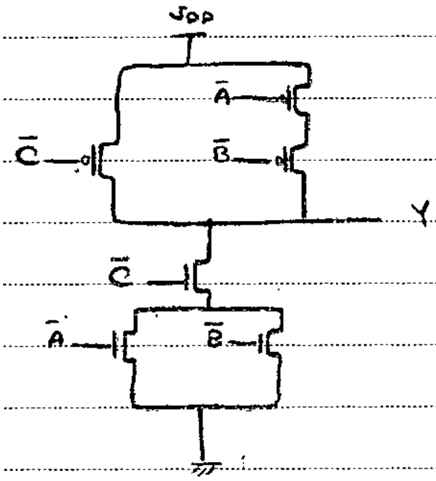
P4PCO

Subject: 10
Year. Month. Date. ( )

☑ تابع $Y = AB + C$ را با تکنولوژی CMOS رسم کنید.

$Y = 1 \xrightarrow{\text{pull up part}} C = 1$

$\quad \rightarrow AB = 1 \rightarrow A = B = 1$



در روش عادی می‌بینیم که احتیاج به $\bar{A}$ و $\bar{B}$ و $\bar{C}$ داریم در نتیجه ۳ معکوس کننده داریم پس ۱۲ گیت خواهد بود.

با توجه به تابع Z در مثال قبل می‌بینیم که $Y = \bar{Z}$ خواهد بود یعنی تنها یک معکوس کننده داریم که ۸ گیت خواهد بود که جواب بهینه خواهد بود.

از آنجا که ترانزیستورها ذاتاً معکوس می‌کنند سعی می‌کنیم بیشتر در منطق NOT کار کنیم. اگر حالت کلی تابع به صورت AND و OR باشد به احتمال زیاد کار کردن با معکوس تابع راحت‌تر است.

☑ شکل ۴-۹ کتاب: تابع را به دو بخش کلی تفکیک می‌کنیم. قسمتهایی که دارای NAND و NOR هستند و قسمتهایی که مانند آن نیستند. ابتدا قسمت راحت‌تر (دارای NAND و NOR) را حل می‌کنیم و قسمت دیگر را معکوس می‌کنیم.

* گیت XOR

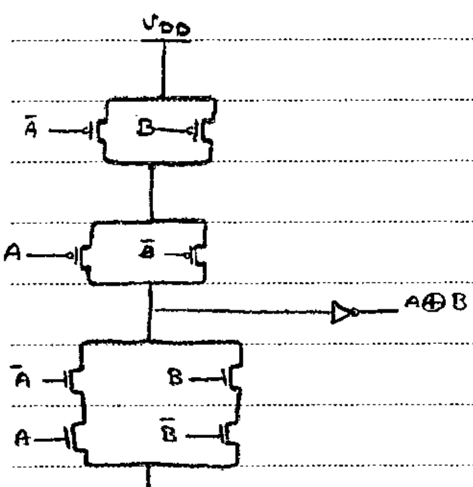
I * روش اول

$A \oplus B = \bar{A}B + A\bar{B}$

برای مدار بالا معکوس مدار بالا را بدست می‌آوریم

$\bar{A}B + A\bar{B} = 0 \rightarrow \bar{A}B = 1 \rightarrow \bar{A} = B = 1$

$\quad \rightarrow A\bar{B} = 1 \rightarrow A = \bar{B} = 1$



8 Transistor + 2 Inverter = 14

PAPCO

Subject:

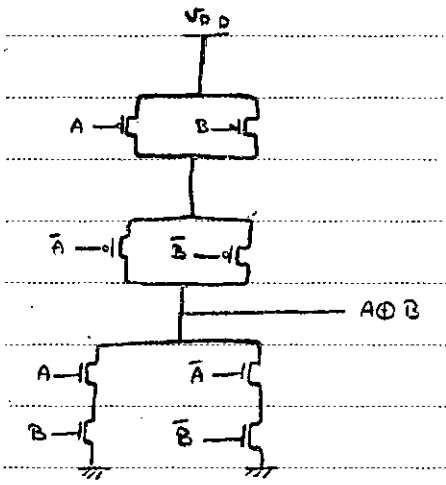
Year. Month. Date. ( )

$A \oplus B = \bar{A}B + A\bar{B} = \overline{\overline{\bar{A}B + A\bar{B}}} = \overline{\overline{\bar{A}B} \cdot \overline{A\bar{B}}} = \dots = \overline{\bar{A}\bar{B} + AB}$

II ، روش دوم

تلاش می‌کنیم خود را از حالت OR به NAND ،

NOR برسانیم .



8 Transistor + 2 Invertor = 12

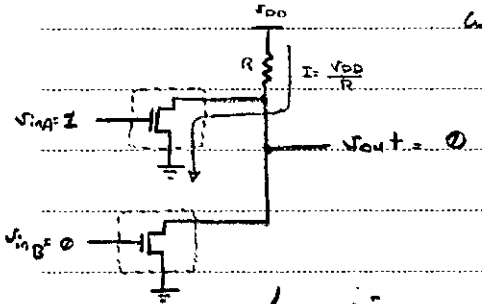
* گیت های سه حالته Tri-State Gates

انواع خروجی به سه دسته کلی تقسیم می شوند :

I- Totem Pole : خروجی آن همواره از حالتهای 0 و 1 خارج نمیشود. رایجترین مثال آن Inverter است. در آن از بین شبکه های Pull-down, Pull-up در هر زمان فقط و فقط باید یکی روشن باشد. دو خروجی از این نوع بهم متصل نمی شوند.

II- Open Drain (MOS) : در این حالت خروجی drain آزاد است و می توان به Open Collector (BJT) کار آن کرد. برای مدار Pull-down می توان از ترکیب ترانزیستور و زمین استفاده کرد. برای مدار Pull-up به یک مقاومت که در سر راه VDD است. می توان خروجی آنها را به هم متصل کرد. عمده ترین کاربرد آن در سیستم Interrupt است که چند دستگاه را به یک درودی INT وصل نمیم (Weired AND) که کمترین تاخیر را دارد. برای Weired OR می توان از مقاومت در مدار Pull-down استفاده کرد.

Weired And ☑

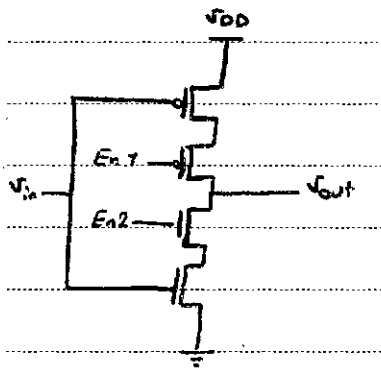


III- Tri State : خروجی آن یک صفر (0) هستند، یک (1) هستند یا (Z) high impedance. در آن می توان با فعال یا غیر فعال کردن Enable مدار را به حالت سوم برد. در این صورت برای اینکار باید حتی للامکان حالتهای درودی به Z از درودی مستقل باشند.

Z حالت ≡ قطع بودن

Subject:

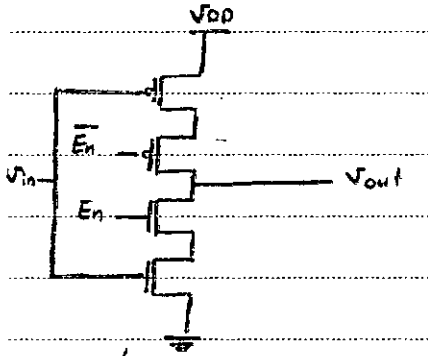
Year. Month. Date. ( )



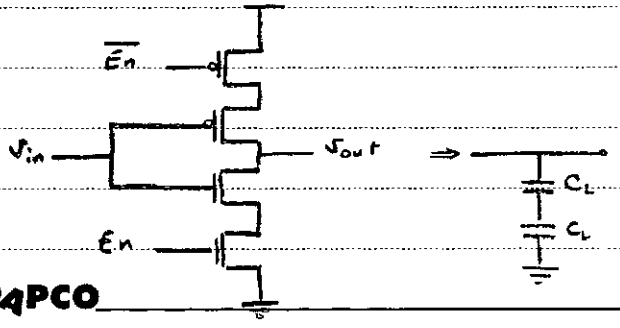
V_{in}	En1	En2	V_{out}	
X	1	0	Z	
X	0	1	$\overline{V_{in}}$	
0	1	1	Z	حالت شناور (امپدانس بالا)
1	1	1	0	
0	0	0	1	
1	0	0	Z	حالت شناور (امپدانس بالا)

☑ با توجه به اینکه در حالت اول تمام ترانزیستورها به یک مدار سه حالته را ایجاد می‌کنند می‌توان کاری کرد که تنها در حالت اول ایجاد شود.

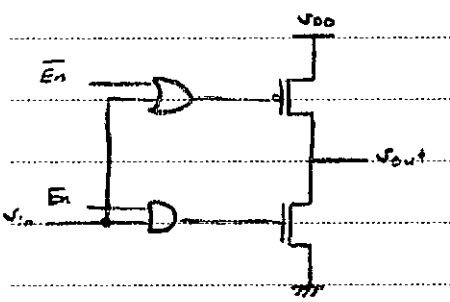
CMOS Inverter with Tri-State Control



می‌توان مدار فوق را به صورت زیر نیز رسم کرد که به علت اینکه در ورودی علاوه بر C_L خود باید C_L ترانزیستورهای En را نیز تحمل کند، سرعت switch آن کمتر است.



در حالتهای بسیار خاص مدار به صورت زیر نیز درخواهد آمد.



Vin	En	Vout
x	0	Z
0	1	1
1	1	0

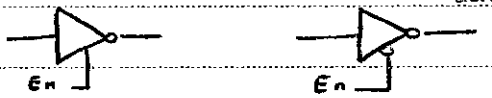
مدار فوق از لحاظ تعداد ترانزیستورها (۴ تا) بسیار بهداست.
در مقایسه با مدار قبلی از لحاظ امپدانس خروجی داریم:

ترانزیستورهای روشن در حالت ① : $R_{on} + R_{on}$

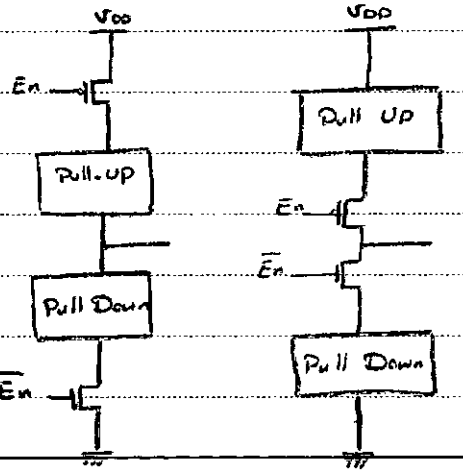
ترانزیستور روشن در حالت ② : R_{on}

با توجه به این مسئله که امپدانس خروجی این مدار کمتر است
(چه در حالت pull down و چه در حالت pull up) در
مواردی کاربرد می یابد. (برای محاسبه امپدانس خروجی Vin را
صفر می گیریم و تنها موارد اختلاف با قبلی را در نظر می گیریم.) پس بجای
روشن کردن خازن در مدار ① به منظور کردن جریان زیاد در خروجی
می توان از مدار ② استفاده نمود. CMOS Inverter

به برخی مستقل از طراحی داخلی گیت معکوس کننده CMOS
را با علامت زیر نشان می دهند:



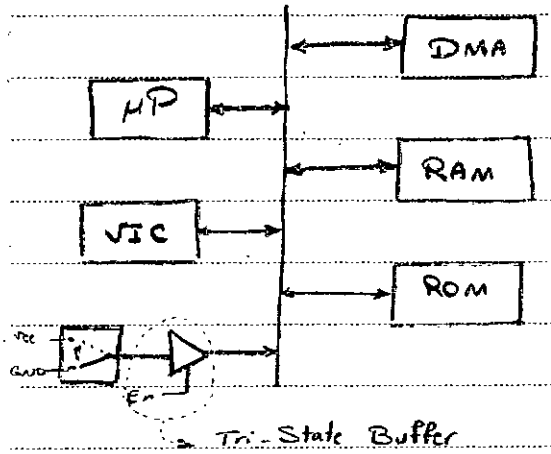
پس به طور کلی برای ایجاد مدار Tri State می توان از دو مدار
روبرو استفاده کرد.

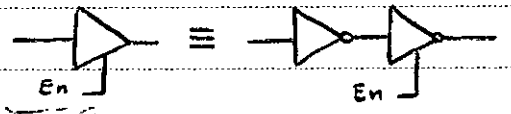


Subject:

Year. Month. Date. ( )

Bus ، switch برای اضافه کردن یک دستگاه



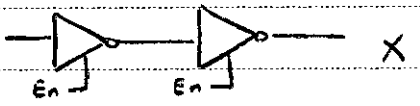


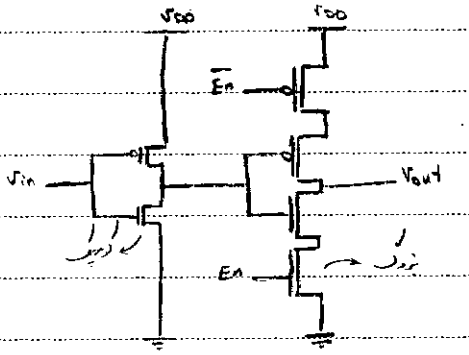
74244 : Buffer / Line Driver

Cin ↓ , Cout ↑

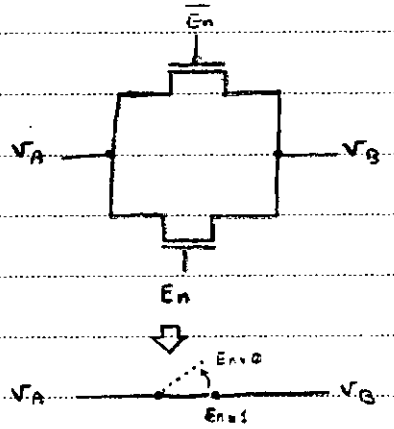
① بهترین کار در CMOS اینست که دردی float باشد

② ابتدا اول از بیرون دیده می‌شود پس آنرا ساده می‌کنیم. پس همواره طبقه آخر را Tri State می‌کنیم.





CMOS Switch & Transmission Gate

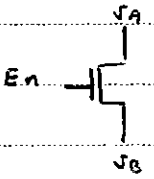


باز و بسته کننده Uni-Directional برای

داشتن یک کنترل کننده جریانی دو طرفه از مدار دیجیتال

استفاده می‌شود معمولا دو عنصر NMOS و PMOS استقلال

از دیودی را فراهم می‌کند. چون :



Logically high

برای روشن کردن باید $V_A = 5\,V \Rightarrow V_B = V_A + V_T$

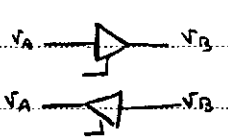
که امپدانس بسیار زیاد و خطی مقاومت دارد.

Subject:

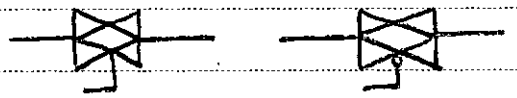
Year. Month. Date. ( )

در مثالی از بافر Transmission Gate ، 74245 داریم:

74245

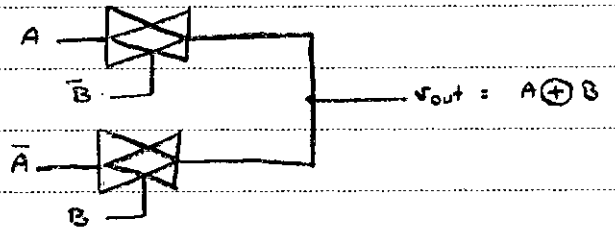


بافر بتن سیگنال direction یک مسیر غیرفعال می‌شود و این سبب تقارت است



Transmission Gate به این صورت است.

XOR ☑



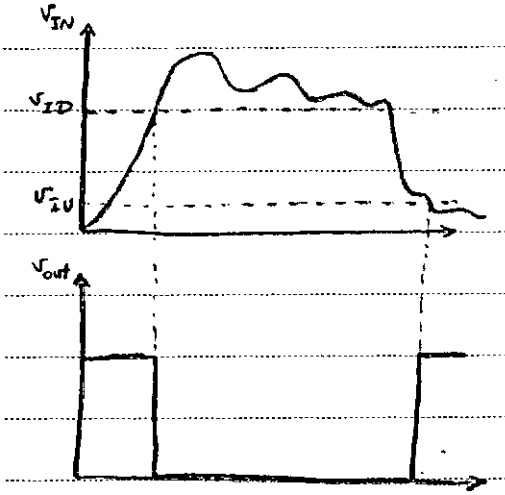
✱ معایب و محاسن TG

☺ Non-degraded rail-to-rail performance

در دیتاشیت در طرف محدودیتی وجود ندارد. در مثالی با گیت‌های دیگر که ورودی‌ها به ورودی NMOS و PMOS متصل است.

☹ Non-fault detectable due to partial performance

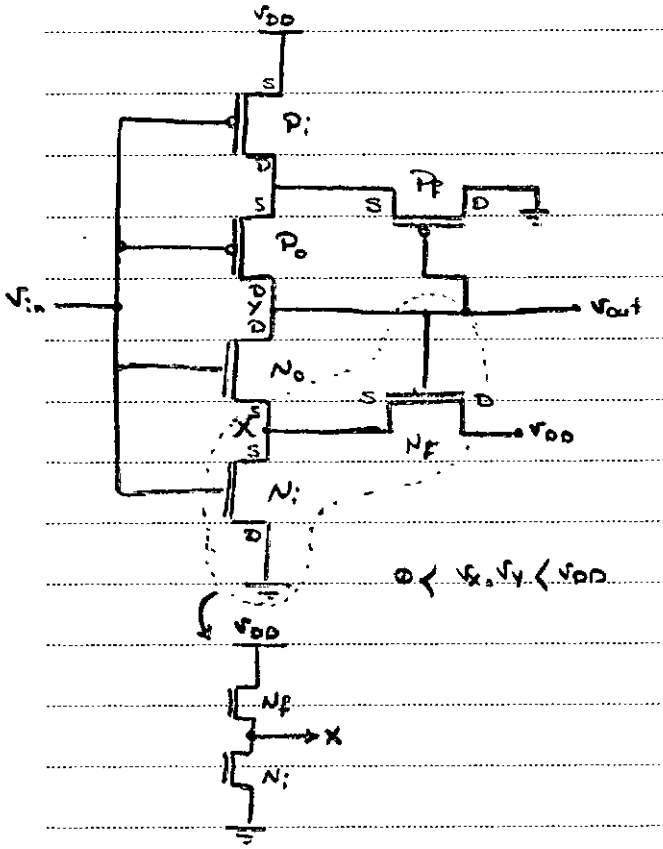
اگر یکی از زوج ترانزیستور بسوزد تنها یک مسیر ایراد دارد و در حقیقت نمیتوان کار می‌کند و تشخیص آن دشوار است.



* دقتی خروجی عوض شد، مدار باید حساسیت خود را نسبت به تغییرات ورودی از دست بدهد.

Feedback

(جریان در NMOS بیشتر از Source به Drain است، و PMOS بالعکس، باید در نظر داشت که جریان از V_{DD} به سمت زمین می‌رود.)



$V_{in}: 0 \rightarrow N_1$ قطع ، N_0 قطع

$|V_{GS_p}| = V_{DD}$

حال می‌خواهیم به feedback اینجا بگیم که تغییرات دیگه اثر نکنند.

$V_{in} = V_{GS,N0} + V_x$

$V_{GS,NF} = V_{DD} - V_x$

در این قسمت یک تقسیم متداومتی داریم که در آن V_x مجهول است. در اینجا V_x را پیدا می‌کنیم. الان برای روشن کردن N_1 باید $V_{in} = V_x + V_{T_{N0}}$ شود (یعنی بالاتر می‌رود.) این عدد V_{ID} می‌گویند.

الان حالت $V_{in}: 1$ را در نظر می‌گیریم.

$V_{in}: 1 \rightarrow P_1$ قطع ، P_0

$V_{IU} = V_x - V_T$

Subject:

Year. Month. Date. ( )

* محاسبات

I> $V_{in} > V_T + \varepsilon \longrightarrow N_i$ on $\xrightarrow{\text{فرض}} |V_{DS}| < |V_{GS}| + |V_T| \longrightarrow N_i$: linear

X، KVL: $N_i + N_f : V_{DD} \longrightarrow N_f$: saturation

X، KCL: $i_i = i_f$ و N_i: off

از معادلات قرارداد $i_f = i_i$ داریم:

$$V_{ID} = \frac{V_{DD} + \sqrt{\frac{K_{Ni}}{K_{Nf}}}\, V_{TN}}{1 + \sqrt{\frac{K_{Ni}}{K_{Nf}}}}$$

II> با نوشتن KVL و KCL در Y داریم:

$$V_{IU} = \frac{\sqrt{\frac{K_{Pi}}{K_{Pf}}}\,(V_{DD} + V_{Tp})}{1 + \sqrt{\frac{K_{Pi}}{K_{Pf}}}}$$

* عوامل مؤثر روی V_{ID}:

- Transconductances $\frac{K_{Ni}}{K_{Nf}}$

این عامل بخاطر تقسیم مقاومتی است.

- V_{TN}

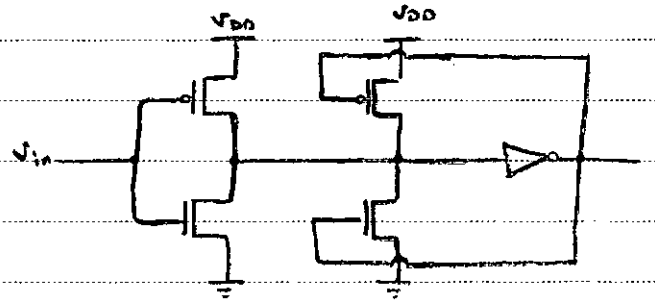
N_o: با بدنه‌ش از آن یک بهمنی جریان گذاشته می‌شود.

N_i: با بدنه‌ش از آن ترانزیستور روشن می‌شود.

- V_{DD}

تقسیم مقاومتی تأثیر مستقیم دارد.

☑ این مدار چکاری کند؟



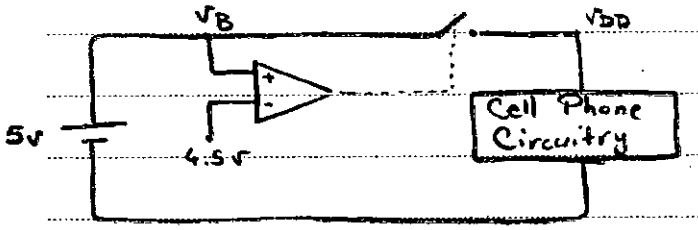
Buffer !!!

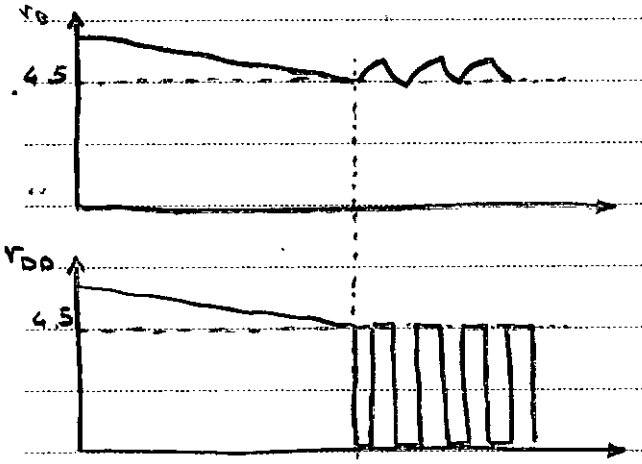
Subject:

Year. Month. Date. ( )

* باتری ها هنگامیکه در load قرار می گیرند بسیار ضعیف می شوند، اما اگر از مدار جدا شوند دیده می شود که هنوز شارژ دارند. این امر در طراحی مدارها مشکلات زیادی ایجاد می کند.

به عنوان مثال در مدار گوشی موبایل داریم:





سوئیچ توسط op-amp کنترل می شود، load از دنیای باتری برداشته شده و ولتاژ باتری دوباره به بالاتر از 4.5 می رود.

با اضافه کردن خاصیت هیسترزیس به op-amp (تغییر آستانه حساسیت به کلک بازخورد) می توان از صدمه خوردن مدار جلوگیری کرد. مثلاً می توان پس از قطع شدن مدار توسط op-amp عمل متالیدن را در 4.7V انجام داد.

در اینجا ولتاژ 4.5 با Reference می سازد که به کلک ولتاژ خود باتری و مقاومتها و دیود زنر آنرا می سازند.

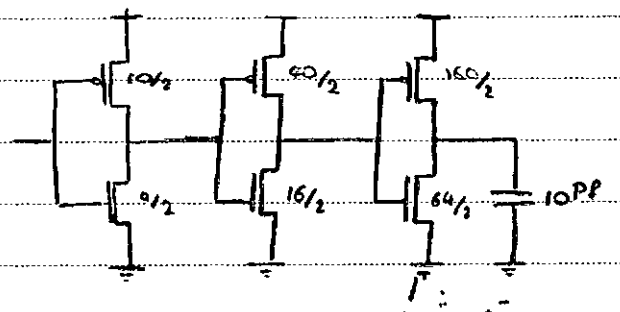
Subject:

Year. Month. Date. ( )

Subject:

Year. 84 Month. 8 Date. 28 (.)

☑ در سایز بهینه، به جای ضریب ۳، ضریب ۴ انتخاب می‌شد، نتایج به هم نزدیک می‌شد.



$t_{p_3} = \frac{0.8 \times 10\ pF}{40 \frac{\mu A}{V^2} \times \frac{64}{2} \times 3.3\ V} : 1.89\ ns$

$C_{in_3} : (64 \times 2 + 160 \times 2)\,5 = 2.24\ pF$

$t_{p_2} = \frac{0.8 \times 2.24}{40 \times \frac{16}{2} \times 3.3} : 1.7\ ns$

$C_{in_2} : (16 \times 2 + 40 \times 2)\,5 = 0.56\ pF$

$t_{p_1} = \frac{0.8 \times 0.56}{40 \times \frac{4}{2} \times 3.3} : 1.7\ ns$

Total : 5.29 ns

تندازی بهترین.

$C_{in} = 140\ fF$

$C_{in_2} = 4 \times 140\ fF$

$C_{in_3} = 4 \times 4 \times 140\ fF$

☑ حال اگر تأخیر 1 ns مجاز نظر باشد، ضریب را بدانید.

$$C_{in_2} = (W_{n_2} L_n + W_{p_2} L_p) C'_{ox}$$
$$= \alpha (W_{n_1} L_n + W_{p_1} L_p) C'_{ox} \Rightarrow$$ در طبقه اول ورودی α برابر می‌شود.
$$= \alpha \cdot C_{in}$$

$$t_{p_1} = \frac{0.8\, C_{in_2}}{K' \frac{W}{L} V_{DD}} = \alpha \left(\frac{0.8\, C_{in}}{K' \frac{W}{L} V_{DD}} \right)$$ طبقه اول

$C_{in_3} = \alpha\, C_{in_2} = \alpha^2 C_{in}$

$$t_{p_2} = \frac{0.8\, C_{in_3}}{K' \frac{W}{L} V_{DD}} = \alpha^2 \left(\frac{0.8\, C_{in}}{K' \alpha \frac{W}{L} V_{DD}} \right) = \alpha \left(\frac{0.8\, C_{in_1}}{K' \frac{W}{L} V_{DD}} \right)$$

$t_{p_1} = t_{p_2}$ ⇒ چون برای طبقه دوم نیز α برابر شده است پس $\frac{W}{L}$ نیز α برابر شده است.

$$t_{p_3} = \frac{0.8\, C_L}{K' \cdot \alpha^2 \frac{W}{L} V_{DD}}$$

$\frac{C_L}{C_{in}} = \gamma$ فرض کنیم

$$t_{p_3} = \frac{\gamma}{\alpha^2} \left(\frac{0.8\, C_{in}}{K' \frac{W}{L} V_{DD}} \right)$$

$$T_{total} : t_{p_1} + t_{p_2} + t_{p_3} = \left(2\alpha + \frac{\gamma}{\alpha^2} \right) \left(\frac{0.8\, C_{in}}{K' \cdot \frac{W}{L} V_{DD}} \right)$$

P4PCO

Subject:

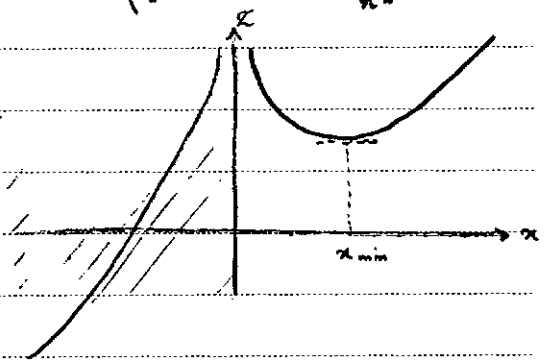
Year. Month. Date. ( )

نتایج (با داشتن ۳ طبقه) نشان می‌دهد که مینیمم رابطه در صورتی بدست می‌آید که رابطه

$\frac{0.8\ C_{in}}{k'\frac{W}{L}V_{DD}} = 0.42\ ns$

مینیمم باشد $Z = 2x + \frac{y}{x^2}$

$Z = 2x + \frac{y}{x^2}$



$Z = 0 \Rightarrow 2x = \frac{-y}{x^2} \Rightarrow x = -\sqrt[3]{y/2} < 0$

$x \to 0^- \Rightarrow Z \to +\infty$

$x \to 0^+ \Rightarrow Z \to +\infty$

$x \to +\infty \Rightarrow Z \to +\infty$ (ضریب داریم ۲)

$\frac{dz}{dx} = 2 - 2\frac{y}{x^3} \Rightarrow x = \sqrt[3]{y}$ نقطه مینیمم

$y = \frac{C_L}{C_{in}}$ ، 3 = تعداد طبقات ، x = ضریب طبقات $\Rightarrow x = \sqrt[3]{y}$

$y = \frac{10000fF}{140} \approx 71 \Rightarrow x = 4.15 \Rightarrow T_{min} = 5.23\ ns$

با سه طبقه بافر نمی‌توان به تاخیر 4 ns دست یافت

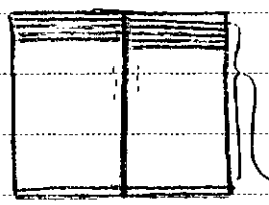
* در حالت کلی ثابت می‌شود که بهترین تاخیر و کمترین فضای مصرفی ، ضریب طبقاتی e بدست می‌آید.

$\frac{C_{i+1}}{C_i} = e$ ← ضریب طبقات

$Ln\left(\frac{C_L}{C_{in}}\right) = n$ ← تعداد طبقات

☑ تراشه‌ای به ابعاد 20mm×20mm داریم. می‌خواهیم روی آن سیگنال clock را به کلیه clock tree منتشر کنیم. فرض می‌کنیم 40,000 فلیپ فلاپ روی تراشه وجود دارد (fan out). V_{DD} = 3.3v فرض می‌کنیم.

C_{in} برای هر فلیپ فلاپ 25 fF در نظر می‌گیریم. تاخیر مسیرهای رسانده $2\frac{pF}{cm}$ است.



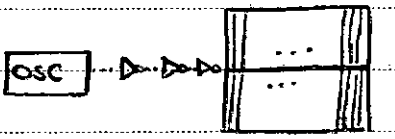
Subject:
Year. Month. Date. ( )

$C_{FF,total} = 40 \times 10^3 \times 25 \times 10^{-15F} = 1\,nF$

$C_{interconn,total} = 200 \times 2^{cm} \times 2^{\frac{pF}{cm}} = 0.8\,nF \Rightarrow C_L = 1.8\,nF$

حال می خواهیم کاری کنیم که تولید کننده Clock ، یعنی خازنی تهایی طبیب خلاب را تحمل کند.
استفاده از Driver قابل انجام است.

$y = \frac{C_{load}}{C_{in}} = \frac{1.8\,nF}{25\,fF}$



$n = \lceil \ln y \rceil = 11$ step.

* با افزودن تعداد طبقات می توان تاخیر را کم کرد ولیکن افزودن تعداد طبقات تا حدی می تواند کمک کند.

۳ طبقه ← $T_{total} = (2 \times + \frac{y}{x^2}) \left(\frac{0.8\,C_{in}}{K' \frac{W}{L} V_{DD}}\right)$

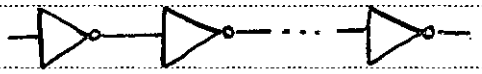
n طبقه ← $T_{total} = f(x,n) \left(\frac{0.8\,C_{in}}{K' \frac{W}{L} V_{DD}}\right)$

ممکن است $f(x,n)$ نتواند تعداد مورد نظر ما را تأمین کند، برای همین معمولاً بدنه را بدی ظرفیت (C) تعریف می کنند و نه زمان مانند مثال بالا...

Subject:

Year. 84 Month. 6 Date. 30 ( )

Tapering *

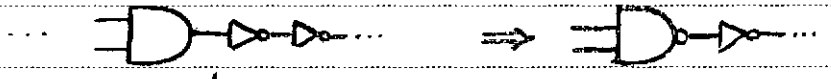


Don't make the circuit faster than it needs to be *

- Area ↑
- Power ↑
- Signal Intigrity ↓

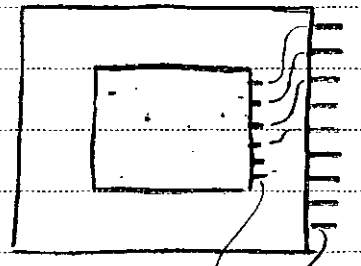
با توجه به اینکه افزایش سرعت مدار، موجب بالا رفتن $\frac{di}{dt}$ و متعاقبا مزاحمتی درون مدار می‌شود و کیفیت سیگنال پایین می‌آید.

* این تعداد طبقات بدست آمده زوج بود و یا منطق مورد نظر Non-Inverting باشد، آنگاه آخرین طبقه مدار Driver را تعویض کرده و یکی از معکوس کننده‌ها را حذف می‌کنیم.

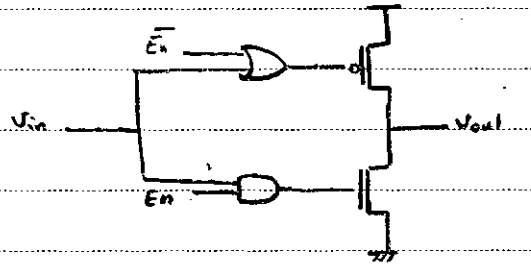


اگر شکل مدار را دوست داشتیم (مثلاً AND - NAND) می‌توان با تغییر دادن ضرایب این طبقات به مقصود رسید.

Pin Driver *



در داخل مدار اصلی، باید مداری برای هر Pin وجود داشته باشد که Drive را interconnect Pad و Pin کند و نیز بتواند load خارجی را نیز دست کند.

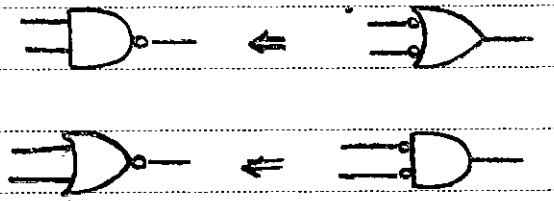


با به کار بردن از این مدار سعی می‌کنیم یک Driver مناسب بسازیم، بطوری که این کار را انجام دهیم بدون تغییرات زیرا انجام می‌دهیم.

Subject:

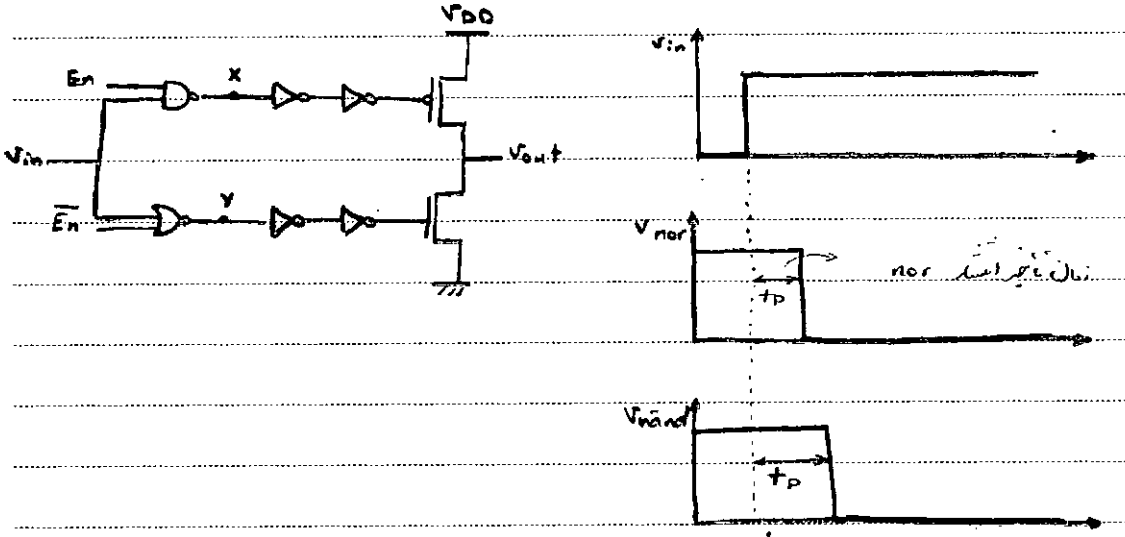
Year. Month. Date. ( )

I > گیتهای AND و OR را به گیتهای NAND و NOR به کمک قانون دمورگان تبدیل می‌کنیم. (Pushing bubble)



II > ماهیت مدار اولیه Inverting است یعنی $V_{out} = \overline{V_{in}}$ پس با معکوس کردن ورودی، می‌توان آن را به Non-Inverting تبدیل کرد که مطلوب است.

III > خازن ورودی نسبتاً پایین است درحالی که load خارج زیاد است. این تضاد استفاده از روش tapering را خاطر می‌آورد، پس در مسیر از دو Inverter استفاده می‌کنیم.



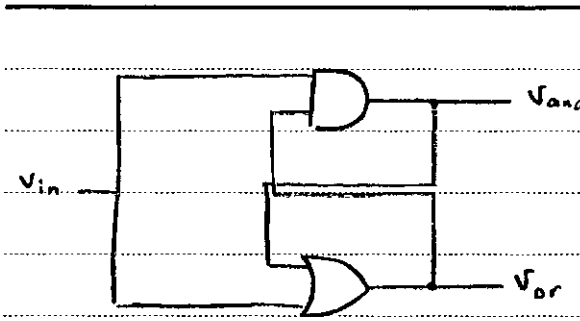
$t_{p,nand} > t_{p,nor}$ ⟹ در ورودی صفر ← یک، در لحظه‌ی گذار از زمان هر دو ترانزیستور روشن هستند.

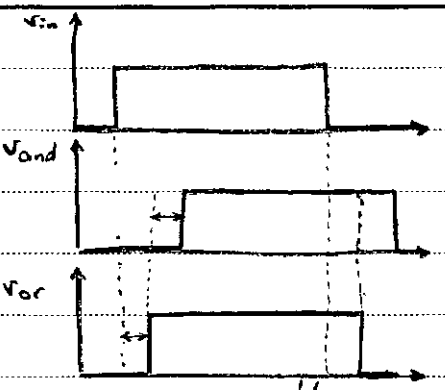
$t_{p,nand} < t_{p,nor}$ ⟹ در ورودی یک ← صفر، در لحظه‌ی گذار از زمان هر دو ترانزیستور روشن هستند.

IV > برای حل مشکل فوق، از مدارهای Break Before Make استفاده می‌کنند. در حقیقت به کمک این feedback، از بروز حالت روشن بودن هر دو ترانزیستور اجتناب می‌کنیم (OR به حتی یک ورودی 1 حساس است و زودتر پاسخ می‌دهد.)

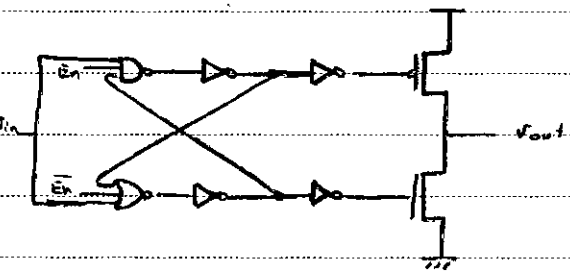
Subject:

Year. Month. Date. ( )

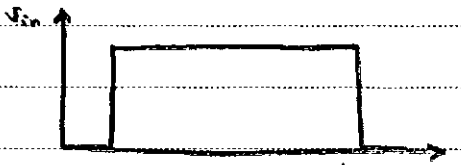




حال می‌توان به لحظ Inverter های اول این سری feedback را درست کرد.



* با این مسئله با درست آوردن اطمینان از pad driver دچار trade-off می‌شود.
  - تأخیر
  - اضافه شدن دردی لیت
  - دردی لیت ↑ ⇐ سایز لیت با توجه به $\frac{W}{L}$ برای P و n بالا می‌رود.



شکل مدار pad-driver

برای مدار روبرو با توجه به Vin داده شده وضعیت Vout و D، C، B، A را بیابید.

$E_n = 1$, $t_{PLH} = t_{PHL}$

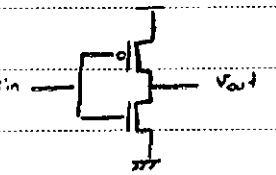
$t_{p,nand} = t_{p,nor} = t_{p_1}$

$t_{p,inv} = t_{p_2}$

Subject:

Year. 84 Month. 9 Date. 5 ( )

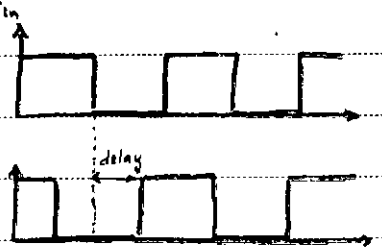
* برای مداری که دارای تأخیر است، حداکثر سرعت کار مدار چقدر است؟



درجه‌ای است که خروجی نباید تغییر کند و بعد ورودی تغییر کند. در غیر اینصورت خروجی از ورودی تغییر می‌کند.

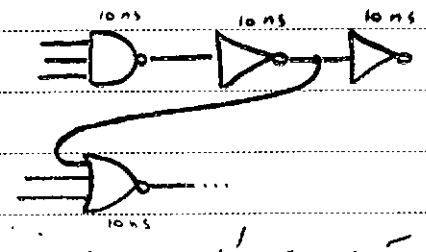
stable = مثل خروجی مرحله اجازه تغییر ورودی را می‌دهد.

feedback موجود در مدار نیاز به دقت بیشتری دارد.



برای ورودی‌های هر گیت باید دقت کرد که ورودی قبل از ثابت شدن خروجی تغییر کند (که این شامل Feedback که به عنوان ورودی استفاده می‌شود نیز می‌شود).

$$Frequency = (Delay)^{-1}$$



برای ورودی‌های گیت بالا فرکانس کاری $\frac{1}{10ns}$ است ولی برای ورودی گیت پایین به علت وابستگی ورودی فرکانس کاری فرق می‌کند. برای محاسبه توان، پس از محاسبه فرکانس کاری توان دینامیک از فرمول $P = f.C_L.V_{DD}^2$ به دست می‌آوریم. توان کل مدار از مجموع مصرف توان‌ها به دست می‌آید.

* چرا فرمول توان $P = f.C_L.V_{DD}^2$ به ظاهر از ساختار مدار مستقل است؟

V_{DD} : به مدار تحمیل می‌شود.

C_L : از طبقه بعدی تحمیل می‌شود.

f : به ورودی بستگی دارد.

هیچ کدام از این است که این فرمول برای محاسبه توان switch است بدون توجه به توان static (که عمدتاً به ترانزیستورها و جریان leakage آنها بستگی دارد) و نیز توان dynamic (که به زمان تغییر حالت high ← low و برعکس وابسته است).

* در مدارهای چند طبقه C_L چگونه به دست می‌آید؟

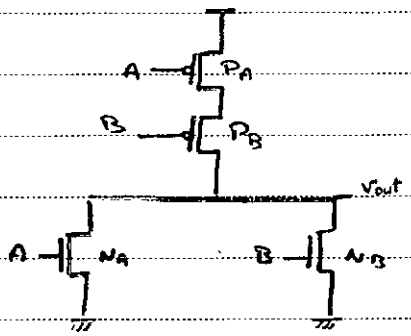
$C_L = C_{in} + C_{interconnect}$ ← ظرفیت خازنی در واحد طول × طول

طبقه بعد ها

Subject:

Year. Month. Date. ( )

* چطوری میتوان C_{in} مدار را بدست آوریم؟



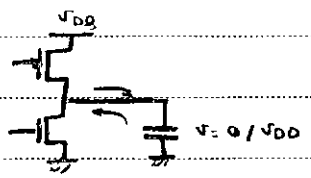
$C_{in,A} = (W_{PA} L_{PA} + W_{NA} L_{NA}) C'_{ox}$

$C_{in,B} = (W_{PB} L_{PB} + W_{NB} L_{NB}) C'_{ox}$

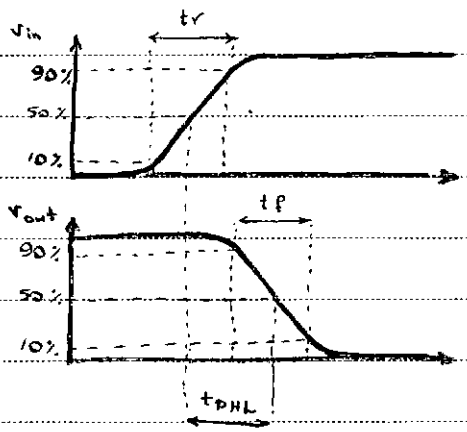
$C_{in} = C_{in,A} + C_{in,B}$

به ازای هر ورودی C_{in} را محاسبه می‌کنیم.

* در مدار Pin Driver در حالتی که ترانزیستور خروجی بسته است ظرفیت خروجی چیست؟



به دلیل اینکه خازن خروجی یا C_L مدل می‌شود و هنگام قطع ترانزیستور، با شارژ یا دشارژ آن خازن، V_{out} تقریباً ثابت می‌ماند.

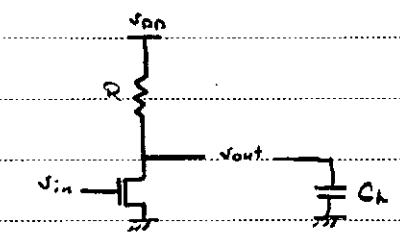


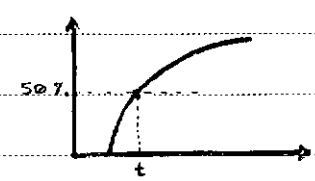
* متالیه t_{PLH} ، t_{rise} و t_{PHL}

تعریف t_{PLH} ، t_{PHL} در خروجی است.

یعنی زمانی که ورودی تغییر می‌کند تا 50% خودش برسد، تا زمانی که خروجی تغییر می‌کند تا 50% خودش برسد.

* محاسبه زمان t_{PLH} و t_{PHL}





برای PHL با توجه به خازن load

$e^{-\frac{t}{RC}} = 50\% \rightarrow t = ?$

با توجه به اینکه خازن رفتاری به صورت (RC) است

Subject:

Year. 84 Month. 9 Date. 14 ( )

* یک مدار می تواند سه حالت داشته باشد:

① هیچ حالت پایداری ندارند. (Astable)

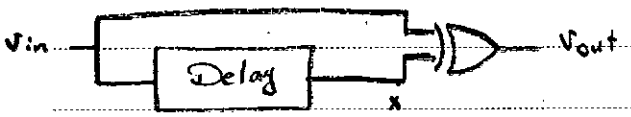
② یک حالت پایدار دارند (Monostable)

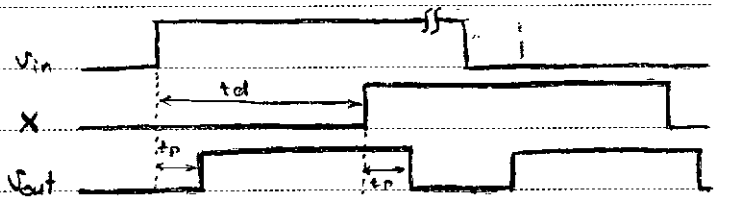
③ دو حالت پایدار دارند. (Bistable)

* Monostable

Generates a pulse of predetermined width.

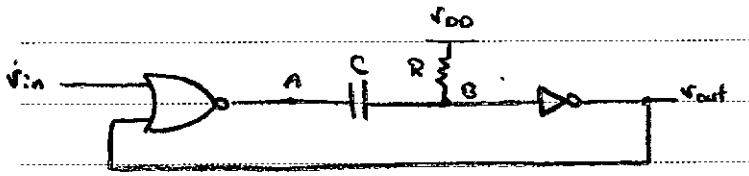
☑ دستگاه one-shot





عرض پالس خروجی از پیش تعیین شده و td است.

☑



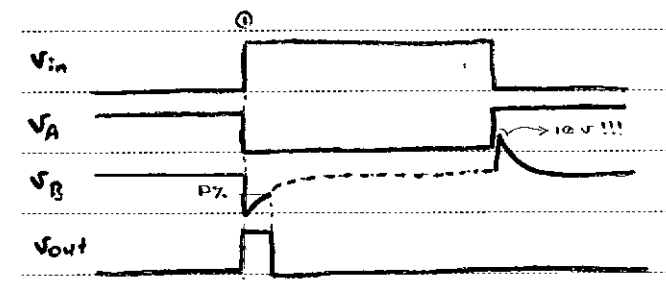
در steady state خازن مانند مدار باز عمل می کند.

با اعمال تأخیر کلیت داریم:

در ① ولتاژ دو سر خازن از صفر به VDD می رود و خازن با تغییر ولتاژ دو سر خود، مقاومت می کند و لذا اینله جریان آن صفر شد ($i = C\frac{dv}{dt}$ ، $\frac{dv}{dt} \to 0$)

حال با توجه به مدار RC که داریم، مدار خازن را با $\tau = RC$ شارژ می کند.

در آستانه تحریک inverter نقطه P% باشد با توجه به منحنی تخلیه $e^{-\frac{t}{RC}}$ داریم:



Subject:

Year. Month. Date. (__)

عوض پالس خروجی وابسته به: ① ظرفیت خازن (C)

② میزان مقاومت (R)

③ حساسیت معکوس کننده (V_{IH} , V_{IL})

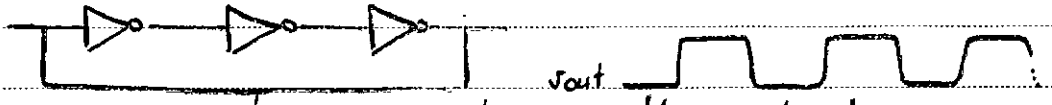
در مقایسه دو مدار one-shot :

- مدار دومی دقیقاً دو برابر $2\tau_{00}$ می ماند که اصلاً جذب نیست.
- مدار دومی سه دولپه پاسخ می دهد درصورتی که مداراولی به یک لپه پاسخ می دهد که بهتر است.

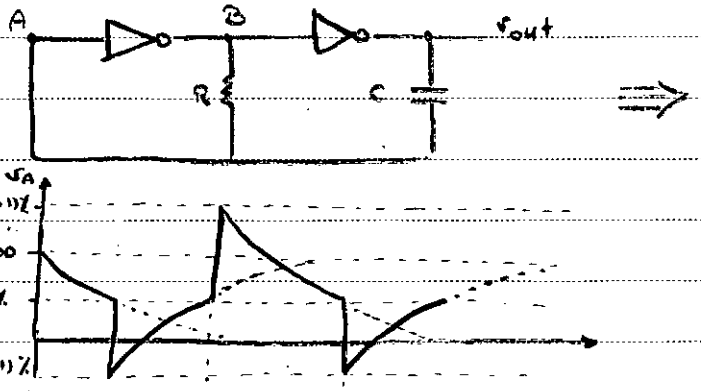
* Astable

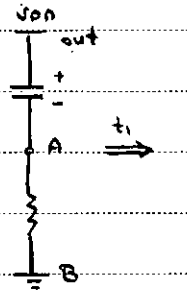
No stable condition , oscillates between 0 and 1

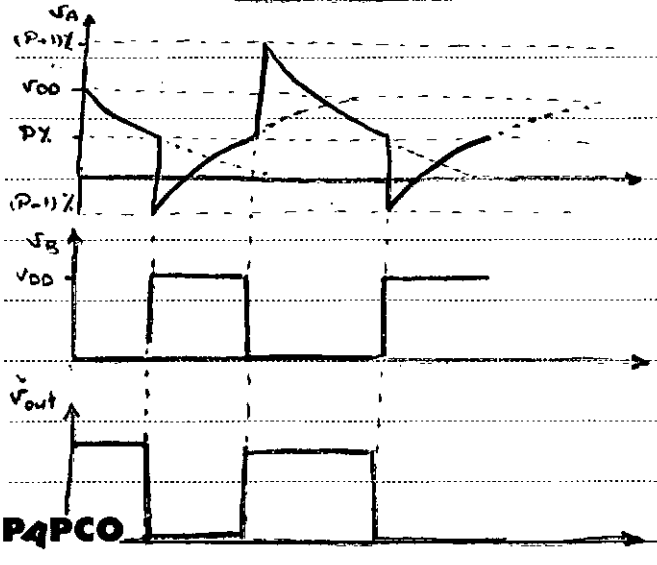
oscillator



با داشتن تعداد فرد معکوس کننده و یک تاخیر آن گیت می توان نوسانساز ساخت.







زمان تاخیر در لحظه تغییر :

$V_C = V_{out} - V_A = \tau_{00} - P\,\tau_{00} = (1-P)\,\tau_{00}$

(P درصدی از τ_{00} که inverter تغییر وضع واحساس می کند)

PqPCO

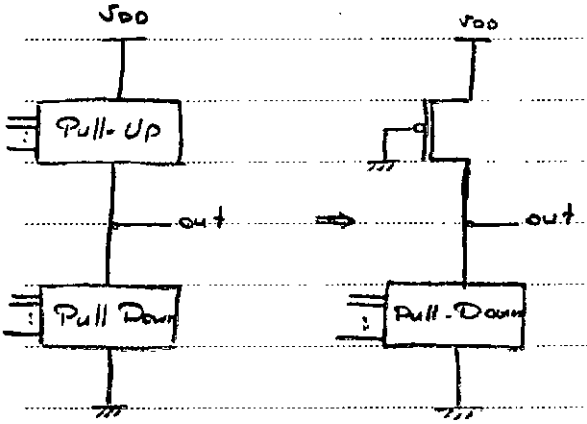
Subject:

Year. 84 Month. 9 Date. 19 ( )

Bi stable *

Has two stable conditions

☑ انواع طبقه فلیپ فلاپ



* در بلندترین CMOS برای داشتن N ورودی 2N ترانزیستور مورد نیاز است. تلاشهای برای کم کردن این تعداد به منطق Psudo NMOS منجر شد. این تقسیم میشود به نکات زیر منتهی شد.

* همواره Pull-up روشن است و شبکه Pull-Down روشن باشد، قرارداد قبلی مانند می‌شود. برای همین از یک Pull-up ضعیف استفاده می‌کنیم ($\frac{W}{L}$ پایین ← بالا)

مزایای Psudo NMOS *

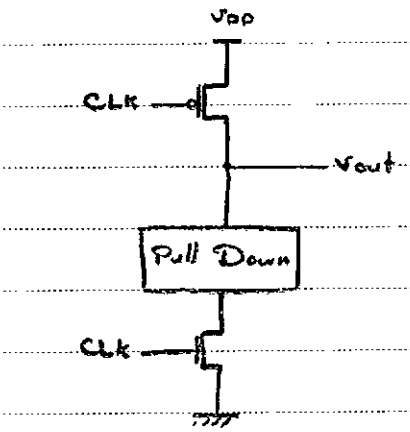
- تعداد ترانزیستورهای مورد نیاز "N+1" است که در تعداد بالا قابل ملاحظه است.
- خازن ورودی کمتری می‌شود.

ایرادات Psudo NMOS *

- با توجه به تقسیم متداومتی بین pull-down و pull-up محدوده swing کم می‌شود و V_{OL} و V_{OH} تغییر می‌کند (non rail-to-rail)
- به علت روشن بودن هر دو شبکه وقتی که خروجی Low باشد، جریان استاتیک بالا برده، مصرف توان بالا می‌رود. برای مقابله با این مشکل معمولا PMOS را کوچک کرده و کار را تا حدود نصف سایز NMOS تقلیل می‌دهند.
- هنگام دشارژ خازن C_L سرعت تغییری نمی‌کند. ولی با توجه به کوچک بودن اندازه PMOS سرعت شارژ بسیار بالا بری رود. پس تاخیر "H ⇄ L" به هم می‌خورد و تاخیر t_{PLH} بسیار بالا بری رود.

Subject:

Year. Month. Date. ( )



CMOS Dynamic logic *

ایده این روش استفاده از ترانزیستور Psudo NMOS کنترل pull-up

را به دست سیگنال Clk می دهد.

این سیگنال دو فاز دیجیتالی

ایجاد می کند.

* فازهای Clock

• Precharge

در آن Clk=0 است و خروجی روی «1» تنظیم می شود. در آن فاصله ورودی ها تغییر

می کنند در حالی که ترانزیستور بین مسیر اتصال GND-Vdd را قطع می کند.

• Evaluation

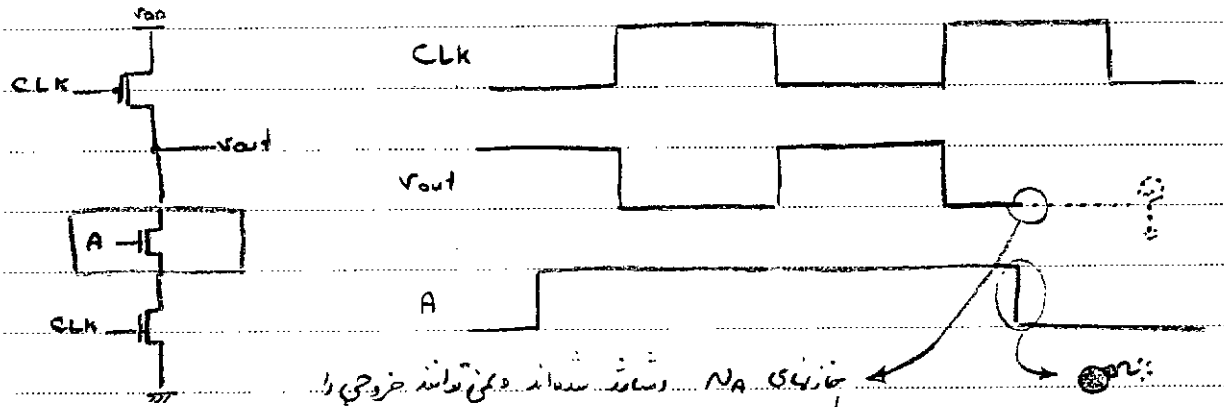
در آن Clk=1 است. مسیر Pull-up قطع می شود. بسته به حالتهای ورودی

می تواند در شبکه Pull-Down در حالت «0» و «Z» رخ دهد.

در شبکه Pull-Down خازنهای پارازیتی وجود دارد که شارژ هستند. پس در

حالت Z، ما خازنهای شارژ شده ای داریم که امیدوار خروجی را «1» کنیم.

در این حالت ورودها اجازه تغییر ندارند. حالت زیر را فرض می کنیم:



Subject:

Year. Month. Date. ( )

* در فاز Pre.charge خروجی همواره یک است.

در فاز Evaluation خروجی معتبر (valid) است.

(برعکس مدارهای CMOS معمولی که برای تغییر خروجی خروجی همواره ثابت است)

* مزایای Dynamic CMOS

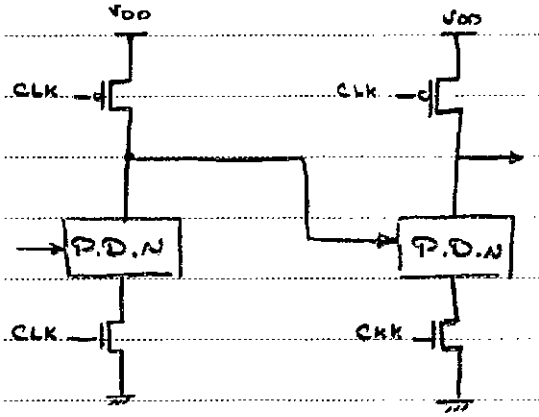
- N+2 ترانزیستور (البته از Psudo NMOS کمی بیشتر است)
- rail-to-rail
- توان استاتیک کمی دارد.

* معایب Dynamic CMOS

- پیچیدگی طراحی ← محدودیت تغییر ورودی ها، محدودیت نویز پذیری خروجی و ...
- پیچیدگی آزمون ← عدم امکان تغییر مکانس clock
- پایداری خروجی در زمان محدود ← نشتی ← خازنهای پارازیتیک
- cascading Problem ← می توان این مدار را بشت سر هم بست

— حالت Z در خروجی اولی

— اگر CLK آنها مشترک باشد، هر دو همزمان به فاز Evaluation می روند، که خروجی اولی توان تغییر می کند، درحالی که برای دومی به همان ورودی به کار می رود و نباید تغییر کند

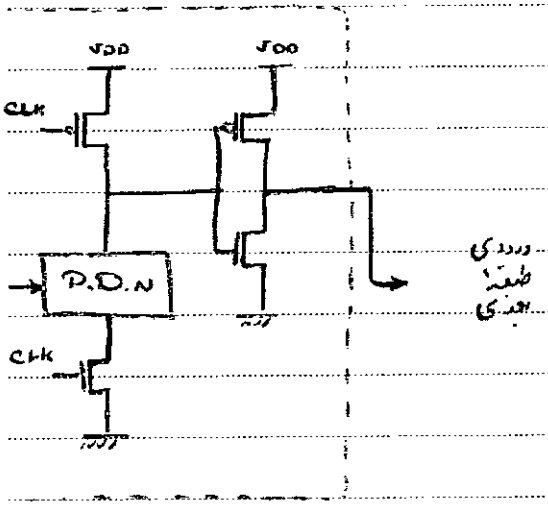


آیا می توان، تغییر clock این مشکل را حل کرد؟

Subject:

Year. Month. Date. ( )

* Domino Logic (راه حل اول)



خروجی درناز Precharge مرحله ای است که این خروجی صفر باشد می توان این مدار را به طبقه بعدی متصل کرد. چون در حالت Evaluation تغییر 1 به 0 مجاز است. پس با اضافه کردن یک معکوس کننده CMOS به خروجی می توان این مسئله را حل کرد. به این ترکیب مجموع Domino اطلاق می شود.

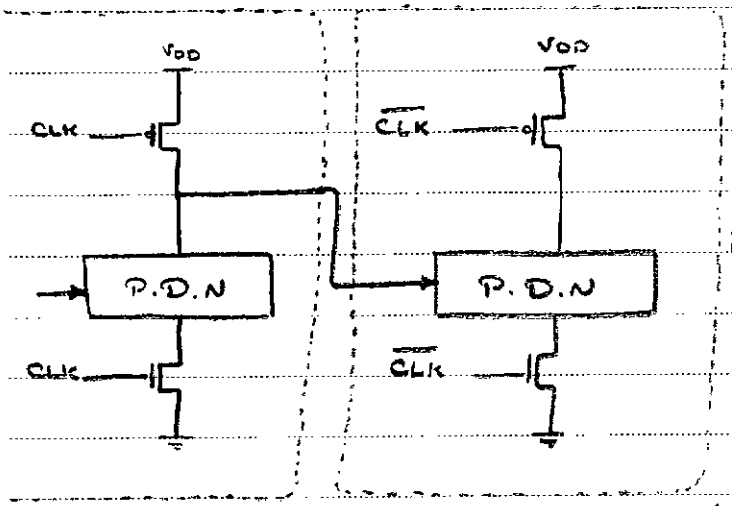
• مزایا و معایب Domino Logic

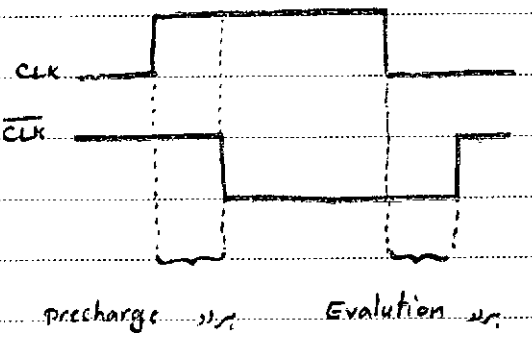
Only Non-Inverting ☹

High Speed ☺

"N+4" Transistors ☺

* راه حل دوم





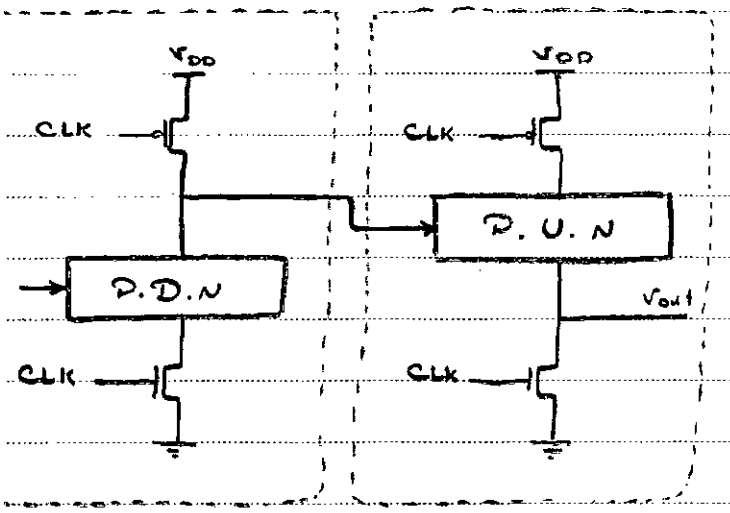
مهمترین ایراد این روش این است که معکوس کردن clock تاخیر دارد. در نتیجه در بعضی مواقع هر دو طبقه در یک حالت خواهند بود که با تغییر ورودیها خروجیها شکل ایجاد می شود.

Subject:

Year. Month. Date. ( )

* راه حل سوم

در طبقه دوم از گیتی استفاده شده که برعکس گیت طبقه اول به خازن وابسته نیست ولی به واسطه استفاده از PMOS از نظر مساحت از طبقه اول بسیار بزرگتر است.



precharge evaluation ← CLK = 0

evaluation precharge ← CLK = 1

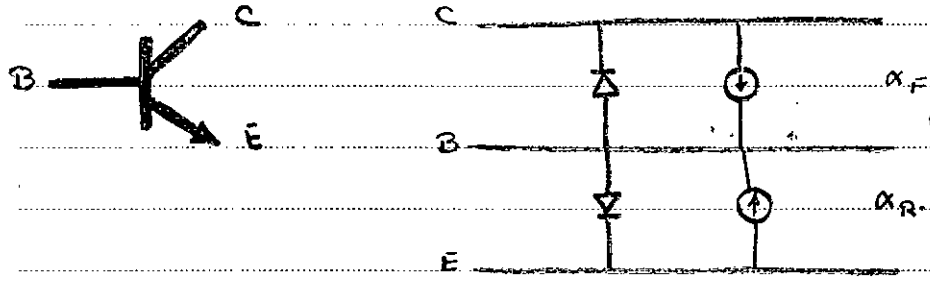
Subject:

Year. Month. Date. ( )

Subject:

Year. Month. Date. ( )

* ترانزیستور BJT ـ مدل Ebersmol



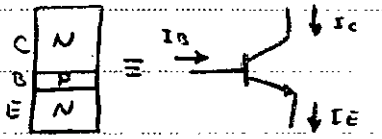
$\alpha_F . I_F = \alpha_F . I_{ES} (e^{V_{BE}/\Phi_T} - 1)$ ← forward bias

$\alpha_R . I_C = \alpha_C . I_{CS} (e^{V_{BC}} - 1)$ ← reverse bias

$I_C = \alpha_F . I_F$ جریان امیتر در حالت روشن شدن ترانزیستور : I_{ES}

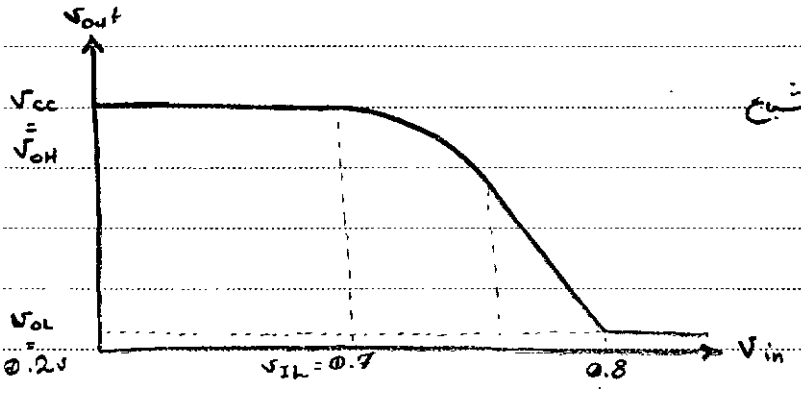
$I_B = I_E - I_C$ جریان کلکتور در حالت روشن شدن ترانزیستور : I_{CS}

$\alpha_F = \frac{\beta_F}{1+\beta_F} \approx 1 \Rightarrow I_E \approx I_C$



$\alpha_R = \frac{\beta_R}{1+\beta_R} \ll 1 \Rightarrow 0.1 \sim 0.2$

* نمودار VTC ، BJT



اشباع ← $V_{CE} = 0.2V$

$V_{CE} = 0.7V$

$V_{IH} \sim R_B , R_C , V_{BE} , \beta$

در اشباع کمترین V_{OL} را داریم.

* در Nand ، V_{OL} ها سریال زده شده و V_{IL} ها نیز 0.2V اضافه می‌شود.

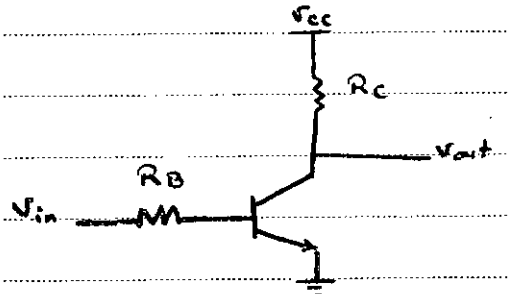
دلیل خودجی در هر دروازه‌ی منطقی fanout می‌باشد. (به جریانی که از آن می‌کشیم بستگی دارد.)

Subject:

Year. Month. Date. ( )

* مدار Inverter با تکنولوژی RTL

(Resistor - Transistor logic)



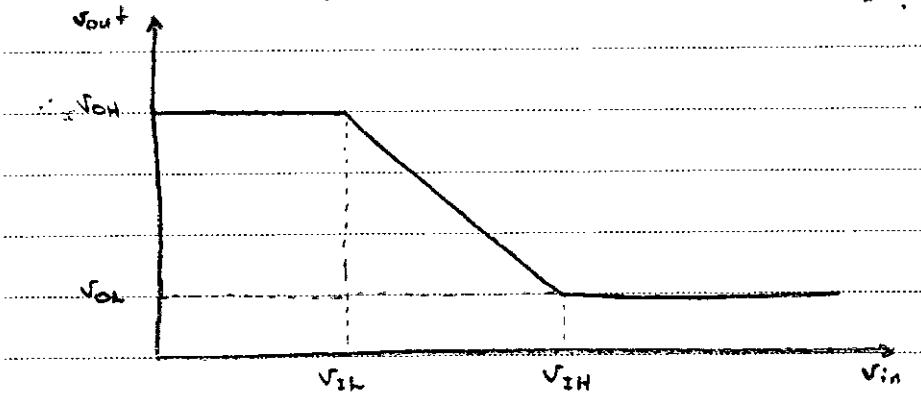
$V_{CE} = 0.2 \rightarrow I_C > \beta I_B$ saturation

$V_{CE} > 0.2 \rightarrow I_C = \beta I_B$ linear

$V_{in} = 0 \rightarrow I_B = 0 \rightarrow V_{BE} = 0 \rightarrow V_{out} = V_{cc}$

$V_{in} = V_{cc} \rightarrow V_{BE} = 0.7\,V \rightarrow V_{out} = V_{cc} - I_C \cdot R_C$

به محض اینکه از این لیت جریان کشیده شود، V_{out} به شدت افت می‌کند.



$V_{OH} = V_{cc}$

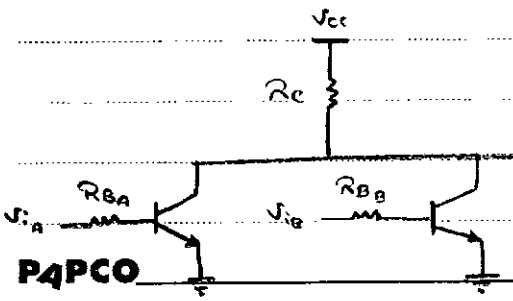
$V_{OL} = 0.2$

$V_{IL} = 0.7$

عوامل مؤثر بر V_{IH} : R_B ، R_C ، β ، $V_{BE\,max}$ (= 0.8)

R_B باید طوری طراحی شود که وقتی $V_{in} = V_{cc}$ (= 5 V) ، V_{out} کمترین مقدار ممکن را داشته باشد. بدین منظور ترانزیستور باید در حالت اشباع قرار گیرد، پس $V_{out} = 0.2$ خواهد بود.

NOR ☑

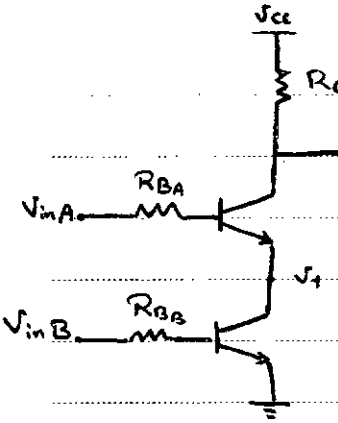


P4PCO

Subject:

Year. Month. Date. ( )

NAND ☑



R_{BB} را طوری طراحی می‌کنیم که با $V_{in,B} = V_{cc}$ مقدار $V_1 = 0.2\,V$ شود، پس برای $V_{in,A} = 0.9\,V$ ترانزیستور بالا اشباع شده و در نتیجه $V_{out} = 0.4$ می‌شود.

از همین طبقه می‌توان نتیجه گرفت که V_{OH} وابسته به تعداد ترانزیستورهای (درودیکها) است.

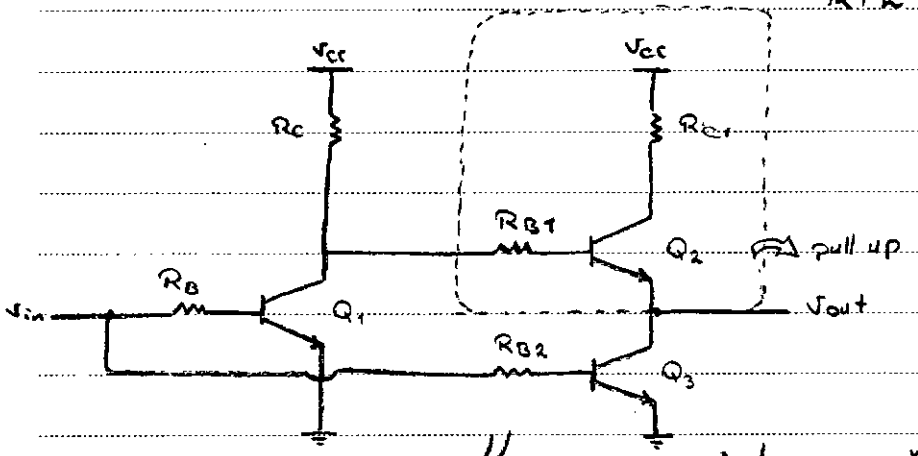
همچنین V_{in} نیز نه تنها به تعداد درودیهای استفاده شده بلکه به جریان هم بستگی دارد.

• ایراد بزرگ تمام لجیکهای RTL این است که ولتاژ خروجی وابسته به fan-out است زیرا:

$$V_{out} = V_{cc} - I_{out} \cdot R_c$$

* RTL with Active Pull-up

برای رفع مشکل ذکر شده، مدار روبرو اختراع شد.



در این مدار، خروجی از حالت پایین به بالا رفته می‌شود، نه از طریق مقاومت.

$V_{in} = 1 \Rightarrow$ Q_1 ~ sat $\rightarrow$ $V_{out} = 0.2\,V$: low

Q_2 ~ cut off

Q_3 ~ sat

مزیت این مدار این است که جریان از R_{c1} عبوری کند محدود شده است.

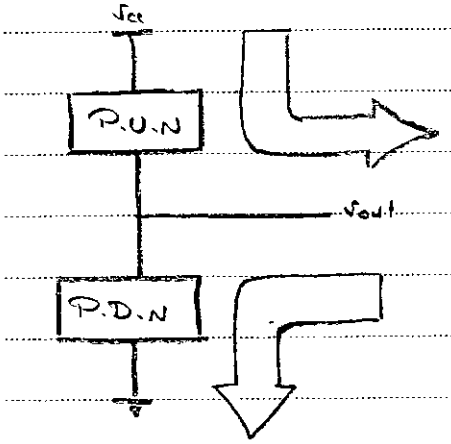
Subject:

Year. Month. Date. ( )

$V_{in} = 0 \Rightarrow Q_1 \sim$ cut off $\rightarrow V_{out} = V_{cc} - 0.7$

$Q_3 \sim$ cut off $\rightarrow V_{out} = V_{cc} - 0.7 - (R_C + R_{B_1}) I_{B_1}$

با توجه به لاجیک بودن I_{B1} نسبت به I_C می‌توان نتیجه گرفت که این گیت تعداد بیشتری گیت را می‌تواند درایو کند. اگرچه مبحث fan-out وجود دارد ولی نسبت به حالتهای قبلی بهتر شده است.



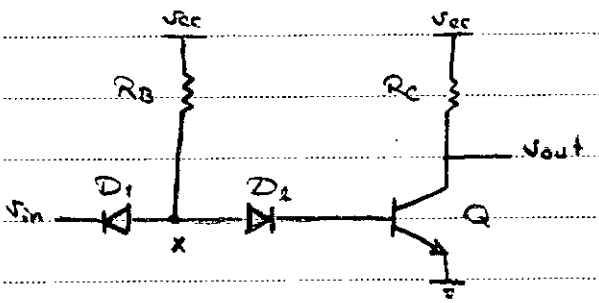
جریان source *

جریان sink

(Diode-Transistor Logic) DTL *

مشکل اصلی تکنولوژی RTL این است که دیودی جریان می‌کشد. دیود 1 به منظور رفع این مشکل تعبیه شده است.

ویژگی این گیت این است که در حالت V_{in} پایین جریان بسیار پایینی (I_S) از دیودی کشیده می‌شود.



$V_{in} = V_{cc}$ (5 V) $\Rightarrow$ D1 ~ off

D2 ~ on

Q ~ on

$\rightarrow X = 1.4$ V, $V_{out} = 0.2$ V

$V_{in} = 0 \Rightarrow$ D1 ~ on

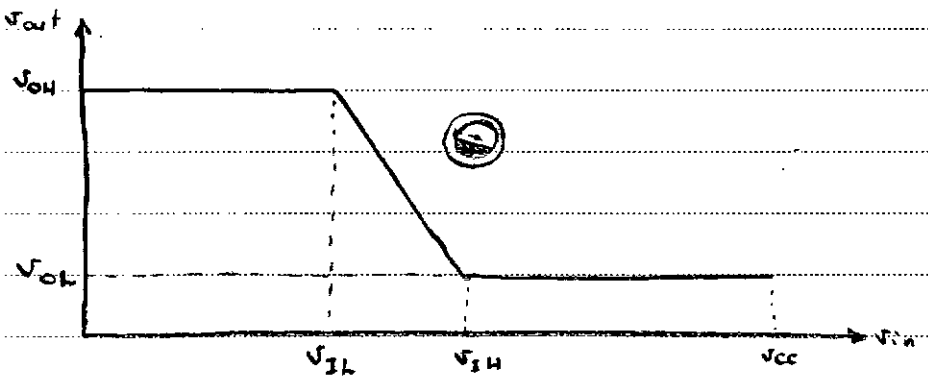
D2 ~ off

D3 ~ cut off

$\rightarrow X = 0.7$ V, $V_{out} = V_{cc}$

Subject:

Year. Month. Date. ( )



VTC

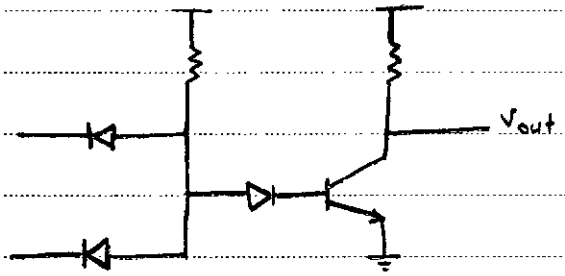
$V_{OH} = V_{CC}$

$V_{OL} = 0.2$

$V_{IL} = 0.7$

$V_{IH} = 0.8$

NAND ◻



* معایب و مزایای DTL

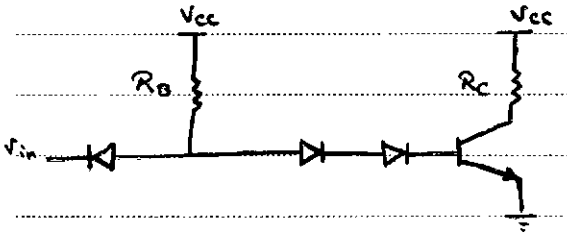
☺ almost zero input current when input = high

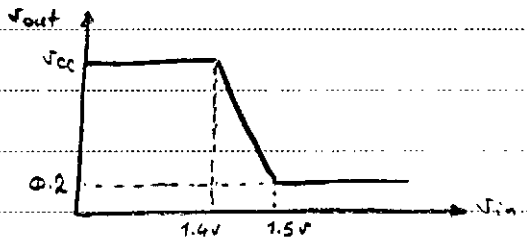
☺ anding is easy!

☹ narrow noise margin

☹ long delay

برای حل عیب DTL کاری نمی توان کرد فقط می توان آنرا جابجا کرد تا در جزء دوم شویم :

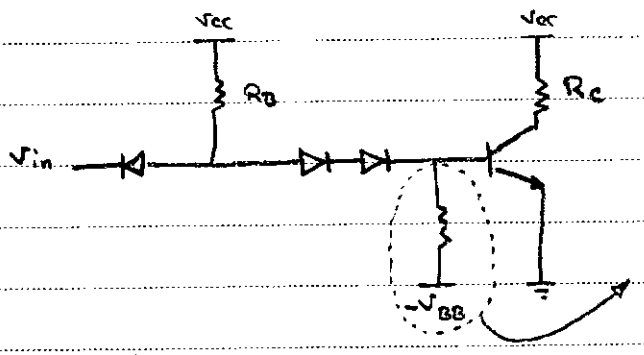




خازن موجود بین Base و Emitter به اندازه 0.8V شارژ می شود و به طور صحیح وشارژ نمی شود. این عامل تأخیر زیاد این تقویت کننده است. برای حل این مشکل مقاومت موسیر

Subject:

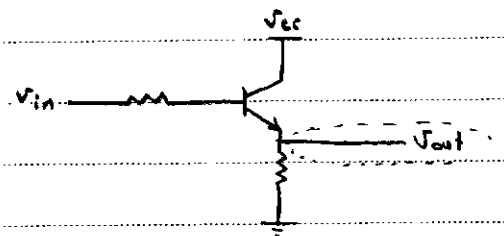
Year. Month. Date. ( )



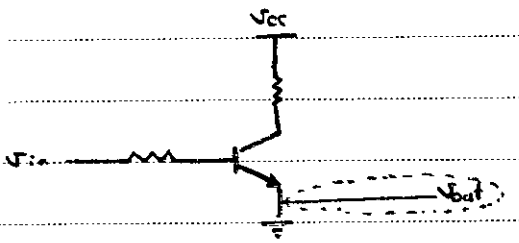
دستاورد باید قرار داده شود.

احتیاج به $-V_{BB}$ این بایاس برای است.

* اینکه گفته می‌شود ترانزیستور را "Invert" می‌کند به شرطی است که خروجی را از کلکتور (درین) بگیریم. اگر خروجی را از امیتر (سورس) بگیریم در این صورت ترانزیستور Buffer کرده است.



Buffer



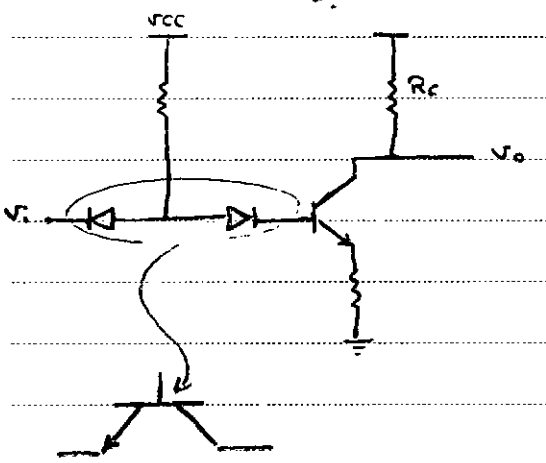
Inverter

Subject:

Year. Month. Date. ( )

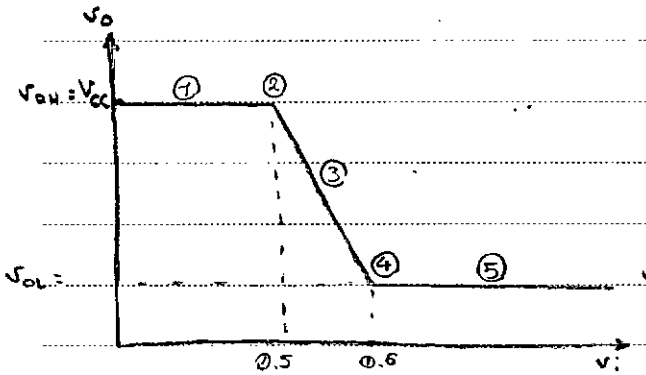
TTL * (Transistor - Transistor logic)

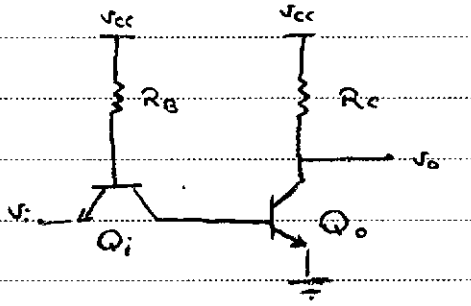
در DTL کاری می‌کردیم که وقتی ورودی high است جریانی که از ورودی می‌کشیم صفر باشد.



با توجه به اتصال "P-N" می‌توان دو دیود و یا یک ترانزیستور مدل کرد.

جهت از حالت اشباع این ترانزیستور باید استفاده کرد تا در طلکتور آن ولتاژ 0.2v باشد و ترانزیستور دوم خاموش باشد.





ترانزیستور در حالت اشباع دارای $V_{BE} = 0.8_v$ است.

① Q_i : saturation

Q_o : cut off

② V_i: 0.5 v ⟶ آستانه روشن شدن

③ $V_i > 0.5$ v ⟶ هر دو ترانزیستور Q_i و Q_o: active ، جریانی از R_c به سمت پایین

④ $V_i = 0.6$ v ⟶ $V_{OH} = V_{BE_o} - V_{CE_i} = 0.8 - 0.2 = 0.6$

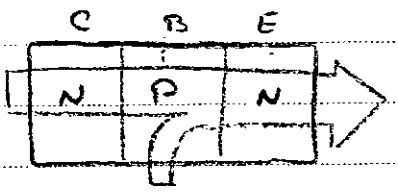
⑤ Q_i: cut off ⟶ در حقیقت Reverse Bias

Q_o: saturation

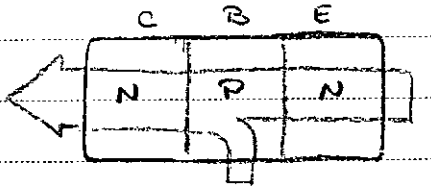
در TTL با توجه به مدل معرفی شده، ترانزیستور دوم می‌تواند Reverse Bias شود، با توجه به اینکه لوجیک آن جریانی از کلکتور Q_i خارج خواهد شد.

Subject:

Year. Month. Date. ( )



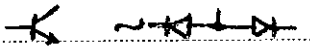
Forward Bias



Reverse Bias

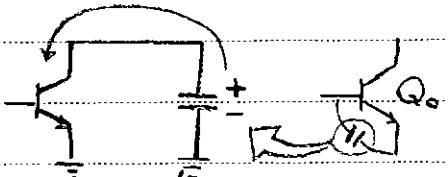
مقاومت:

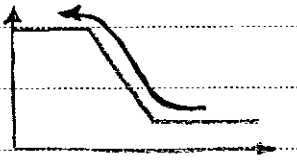
* معایب و محاسن TTL نسبت به DTL



☺ کوچک شدن Area

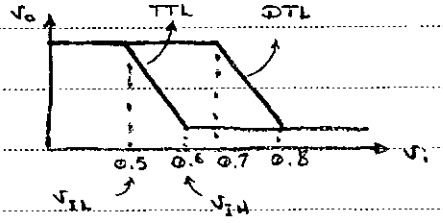
☺ پاسخ زمانی بهتر مدار (transient response) بدون نیاز به مسیر دشارژ





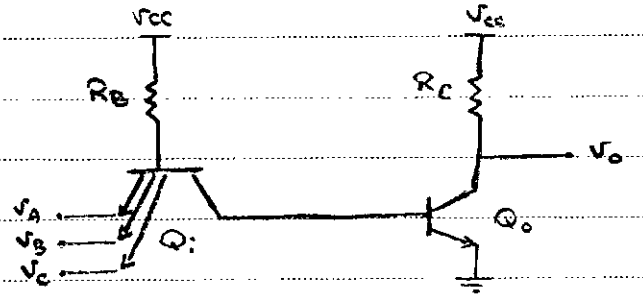
☺ Fanout بیشتر می‌شود چون جریان نشتی ترانزیستورها از دیودها کمتر است.

☺ در مقابل نویزهای آسیب پذیر ترند



NAND ☑

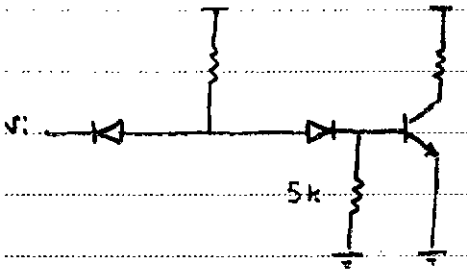
اگر یکی از ورودی‌های A یا B یا C در سطح "Low" باشند، مدار سطح بالا برمی‌گرداند.

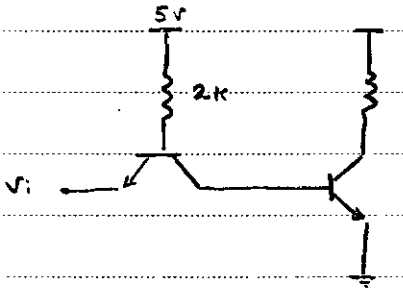


Subject:

Year. 84 Month. 10 Date. 3 ( )

* مقایسه نسبی سرعت TTL , DTL





$I_{discharge} = \frac{V_{BE(sat)}}{R_{dis}} = \frac{0.8}{5k} = 160\ \mu A$

$I_B = \frac{V_{CC} - V_{BE} - V_i}{R} = \frac{5 - 0.8 - 0.2}{2k} = 2\ mA$

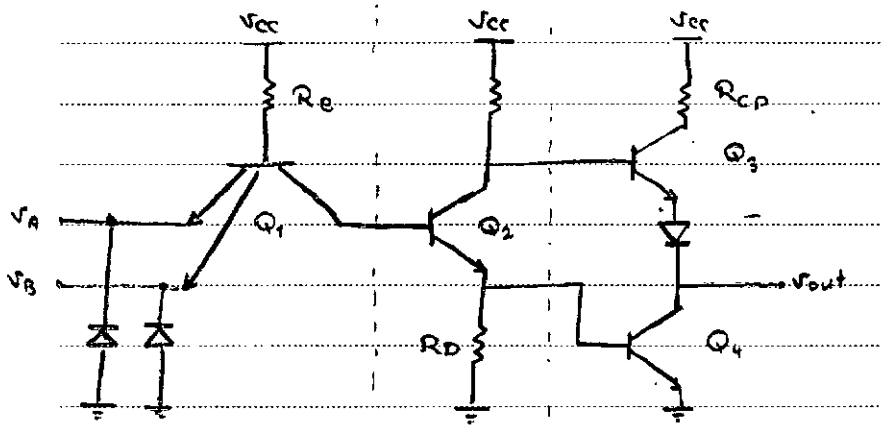
$I_{discharge} = I_C$

$I_C = \beta I_B = 50 \times 2 = 100\ mA$

$\frac{100\ mA}{160\ \mu A} \simeq 600$ ⇨ تلاش سرعت ⇨ ایرادی DTL

* مدار TTL با خروجی totem-pole

خروجی ای totem-pole دارای خروجی 0 و 1 به صورت مکمل هستند.



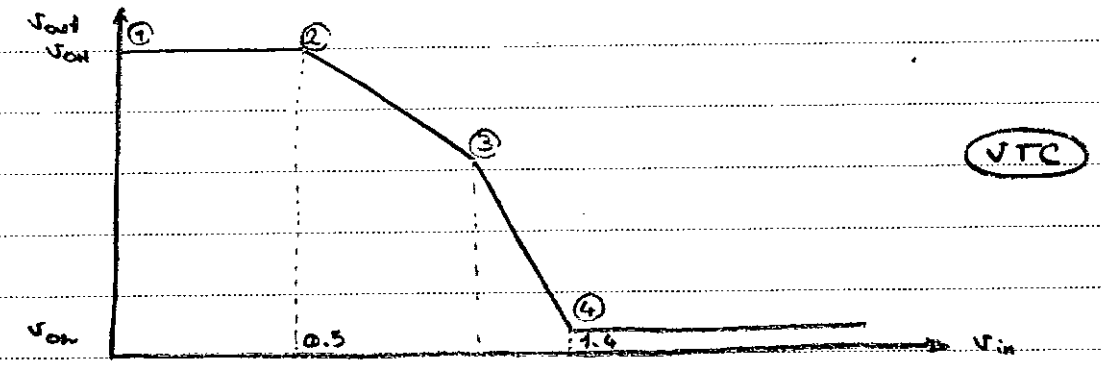
Input BJT's Drive Totem-Pole

OR

Input Diods Splitter Output

Subject:

Year. Month. Date. ( )



① $V_A = 0$ → Q_1 : sat → $V_{BE} = 0.2\,V$ → Q_2 : cut off

→ Q_4 : cut off

→ Q_3 : on

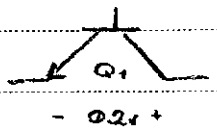
→ $V_{OH} = V_{CC} - V_{BE} - V_{Diod} = 3.6$

در محاسبه V_{OH} فرض می‌کنیم هیچ جریانی نمی‌کشد. (به اندازه یک دیود افت شده است.)

② $V_A = 0.5\,V$ → Q_2 : sat

اگر R_D را کوچک بگیریم تا I_{B4} بیشتر به حدی برسد که Q_4 روشن شود، R_C را بزرگ بگیریم تا I_{B3} زودتر Q_3 را خاموش کند.

پس با تنظیم R_D و R_C می‌توان این زمان را تنظیم کرد.



④ $V_A = 1.4\,V$ → Q_4 : sat و Q_3 : sat

0.8 0.8

⑤ $V_A = ?$ حالتی که Q_3 قطع می‌شود و Q_4 تازه شروع به روشن شدن خواهد کرد.

☑ حالا نقش دیود در این مدار چیست؟ با توجه به اینکه دیود V_{OH} تاثیر منفی می‌گذارد.

تنها برای اینکه Q_4 اشباع است، اگر دیود نباشد برای خاموش بودن Q_3 و تازه طلتور Q_2 باید زیر 0.9 باشد، و برای روشن بودن Q_4 و تازه اشباع Q_2 باید 0.8 باشد.

Subject:

Year. Month. Date. ( )

☑ نقش دیودهای ورودی چیست؟

این دیودها دیودهای حفاظتی (Protection) نام دارند. ورودی باید بین 0.5 تا 0 ولت کند. اگر جریان بالاتر برود اتفاقی نمی افتد. اگر ولتاژ پایین تر از 0 برود (Noise و ...) وقتی که -0.7 برسد اجازه نمی دهند ولتاژ ورودی پایین تر برود. اگر پایین تر برود، جریان زیادی از RB می گذرد و IC آن را سبب بالا می رود و مدار می سوزد.

مقادیر این مدار در Datasheet در ستون Absolute Maximum Rating نوشته می شود، برعنوان مثال:

Max : $V_{cc} + 0.7\ V$

Min : $V_{ss} - 0.7\ V$

نقش محافظتی دیگر این دیودها در برابر الکتریسیته ساکن (Electro Static Discharge) است. (چیپ 7400 جلوی 6 عدد از این دیودهاست)

* می سبب R_D و R_C با داشتن V_{out}

Subject:

Year. 84 Month. 10 Date. 5 ( )

* Fan Out :

I_{OH} : جریان خروجی وقتی که خروجی high است. ⇒ ورودی : low

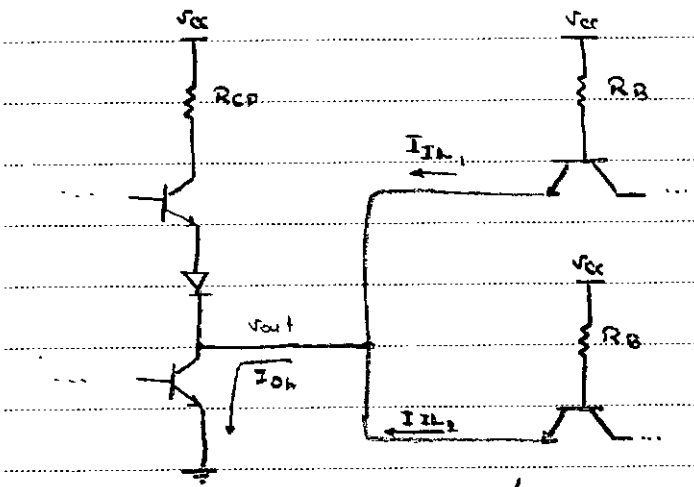
$I_{OH} \sim R_{CP}$ → محدودیت I_C ی R_{CP} اعمال می‌کند

$I_{OH} \sim R_C$ → محدودیت I_B ی R_C برای Q_3 اعمال می‌کند.

I_{OL} : جریان درخروجی وقتی که خروجی low است. ⇒ ورودی : high → Q_4 sat

$I_{OL} \sim R_C$ ، $I_{OL} \sim R_D$ → تقسیم جریان و I_B برای Q_4 تحت تاثیر است

$I_{OL} \sim R_B$ → با توجه به اینکه فرض می‌کنیم لایه قبل هم از همین نوع باشد R_B باید به گونه‌ای تنظیم شود که جریان لازم تأمین شود.



I_{IL} : جریانی که این خانواده وقتی ورودی low (0.2 v) است از طبقه قبل می‌کشد.

$$fanout = \frac{I_{OL\ max}}{I_{IL}}$$

در ساخت مدارهای DTL نسبت به RTL این بود که وقتی ورودی high است هیچ جریانی از طرف قبل کشیده (source) نمی‌شد. TTL همان کار را می‌کند پس وقتی ورودی آن high است جریانی لازم ندارد و در آن محدودیت تعداد ورودی (fanout) مطرح نیست. در مجموع fanout تابعی از مشخصاتی موجود در این مدار است.

* توان استاتیک مدار :

$P_H = I_{OH} \times V_{CC}$

$P_L = I_{OL} \times V_{CC}$ ⇒ $P_{avg} = \frac{I_{OL} + I_{OH}}{2} \times V_{CC}$

P4PCO

Subject:

Year. Month. Date. ( )

* در مجموع توان مصرفی و fanout در TTL نسبت به مقاومت است. پس از این لیت پایه 7400 می‌توان به سمت توان پایین میل کرد (لیت 74L00) که اینجا با 10 برابر کردن تمام مقاومت‌ها صدت می‌پذیرد ولی fanout (به علت تغییر و کاهش I_{OL}) پایین می‌آید. ایراد دیگر این مدار اینست که خازن‌های ترانزیستور برای سازگار و دستیابی تحت مدارهای RC قرار می‌گیرند و با بالا رفتن R در آن $T=RC$ بالا می‌رود و تأخیر آن افزایش می‌یابد.

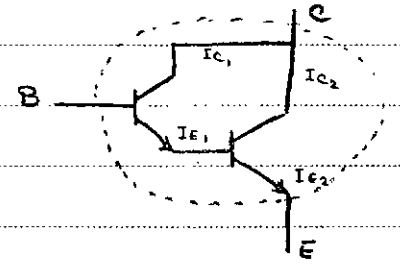
L: low power

74L00 → R ↑ one order of magnitude → fanout ↓
→ transient response ↓

* برای میل کردن به سمت سرعت بالاتر نسبت به لیت پایه 7400 لیت (74H00) که اینجا با $1/10$ برابر کردن تمام مقاومت‌ها صدت می‌پذیرد و fanout نیز بهبود می‌یابد، اما مصرف توان بسیار بیشتر خواهد شد.

74H00 → R ↓ one order of magnitude → fanout ↑
→ static power ↓

* مجموعه ترانزیستورهای دارلینگتون

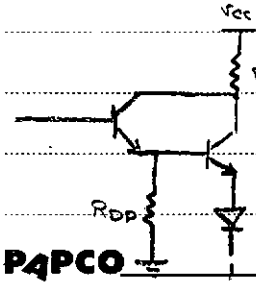


$I_B \beta_1 = I_{C_1} \simeq I_{E_1}$

$I_{E_2} \simeq \beta_2 I_{B_2} = \beta_1 \beta_2 I_B$

برای این دسته جدید $\beta = \beta_1 \beta_2$ خواهد بود که بسیار عالی خواهد بود. این دسته جریان زیادی را به مقدار زیادی افزایش می‌دهد.

* در سری 74H00 برای افزایش fanout جریان خروجی ترانزیستور Q_3 را به صورت دارلینگتون می‌گذارند. برای تخلیه خازن BE در ترانزیستور دوم احتیاج به مقاومتی داریم. به ضمن برای روشن کردن آن به لیت 0.7 دیگر نیز نیاز داریم.



H: high speed

P4PCO

Subject:

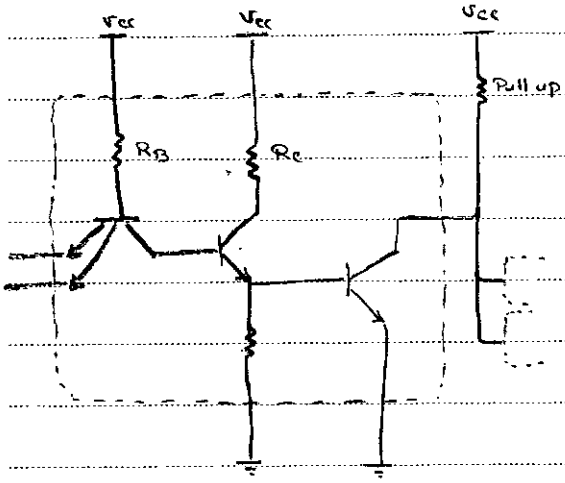
Year. Month. Date. ( )

* خانواده TTL با Open Collector

اگر "ما" مشت مدار را برداریم pull-up

آنها با سایر نسبتهای مدار که بیریم (7406 OC)

شکل روبرو حالت یک wired - AND را می سازد.



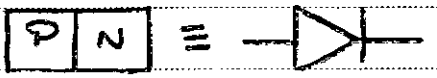
Subject:

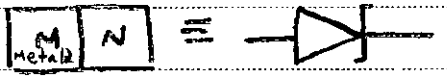
Year. Month. Date. ( )

* دیود شاتکی

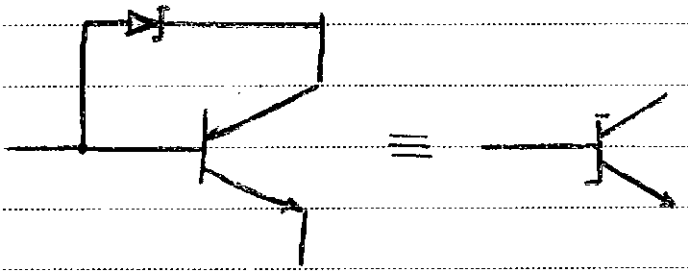
به جای لایه‌ی P در دیود معمولی از فلز استفاده می‌کنیم

دیود معمولی به دیود شاتکی تبدیل می‌شود. این اسم از روی مبدع این دیود گرفته شده است (schottkey).

PN Junction  $V_{BE(on)} = 0.7V$

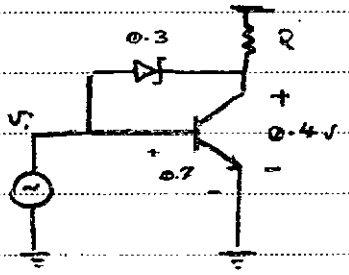
MN Junction  $V_{BE(on)} = 0.3V$

* در خانواده‌ی قبلی TTL ترانزیستورها به اشباع می‌رفتند و با روشهای روی خازن V_{BE} را اشباع می‌شد. برای جلوگیری از رفتن ترانزیستور به اشباع راه زیر پیشنهاد شد:



با این کار مانع اشباع عمیق ترانزیستور می‌شویم و آن را ترانزیستور شاتکی تبدیل می‌کنیم.

مثلث:



با روشن شدن دیود شاتکی، ولتاژ دو سر آن برابر 0.3V خواهد ماند و V_{CE} از آن نخواهد شد و 0.2V نخواهد رسید پس ترانزیستور به اشباع نخواهد رسید.

* خانواده STTL

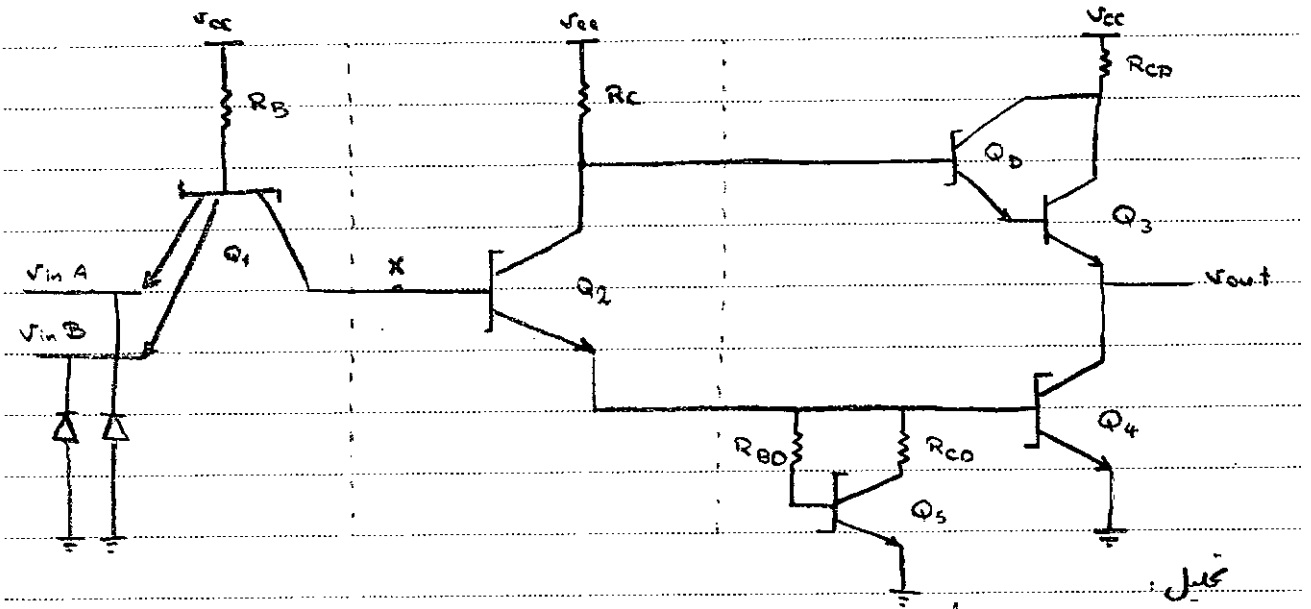
با استفاده از ترانزیستور شاتکی و بالا بردن سرعت خانواده STTL معرفی می‌شود.

S: schottkey است (گیت NAND دو ورودی) 74S00 گیت پایه آن

چون سرعت بالا مد نظر است در طبقه سوم از ترانزیستور دارلینگتون استفاده می‌شود.

Subject:

Year. Month. Date. ( )



تحلیل:

① $V_{in} = 0$ → Q_1 ~ hard on (اشباع عمیق وارد اشباع می‌شود)

→ Q_2 ~ cut off

→ Q_D ~ on

→ $V_{out} = 1$

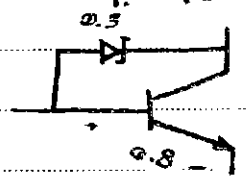
② $V_{in} = 1$ → Q_1 ~ reverse bias

→ Q_2 ~ on

→ $V_{out} = 0$

خاصیت R_{CD} افزایش سرعت تخلیه خازن است (Capacitor Discharge) وقتی خروجی از 0.7 به 0.7 برمیگردد تخلیه از بیش از 0.7 به پایان مهم است و می‌خواهیم سرعت آن بالا برویم. (در حد نانو ثانیه) $i = C \frac{dv}{dt}$ هرچقدر dt کم باشد i بالا میرود.

لینه V_{CE} در ترانزیستورهای سالمی از 0.4 بیشتر است پیش تنظیم داریم:



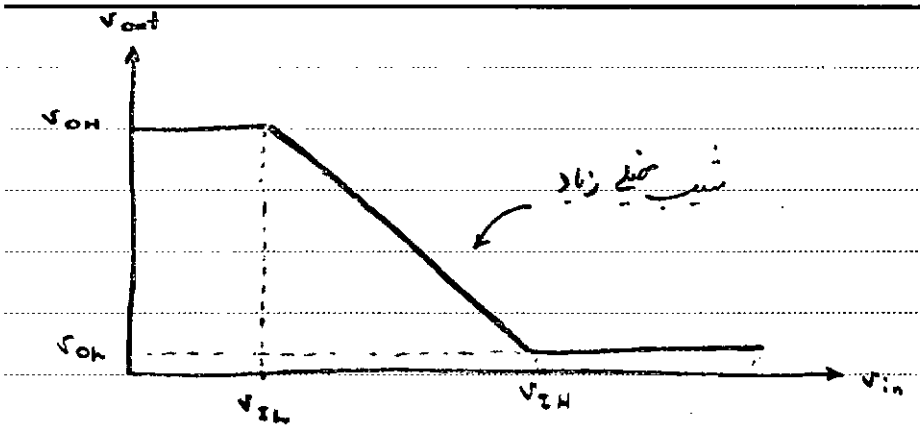
$V_{BE} \simeq 0.8\,V$

$V_{D_{Schottky}} = 0.3$

$V_{CE}(\text{hard on}) = 0.5\,V$

Subject:

Year. Month. Date. ( )



VTC

① $V_{in} = 0 \longrightarrow Q_1$ ~ hard on

Q_D ~ on

$V_{OH} = V_{CC} - 0.7 - 0.7 = V_{CC} - 1.4\,V$

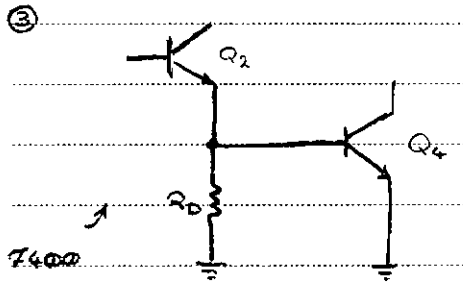
(Q_1 دارلینگتون)

② $V_{in} = 0.9\,V \longrightarrow X = 1.4\,V \longrightarrow$ برای به اشباع رسیدن Q_2 و Q_4 شدن

Q_1 ~ hard on $\longrightarrow V_{CE} = 0.5\,V$

$V_{IL} = 0.9\,V$

③



در مثالیه با 7400 باید، با وجود مقاومت مشخص شده، جریان عبوری از آن به حدی بی‌رسد ولتاژ دوسرآن ~ حدود 0.7 می‌شود Q_4 روشن می‌شود و این عامل شکستن شیب بدار در VTC بود که در این مدار ناندآن نیستیم.

④ $\longrightarrow Q_4$ ~ hard on $\longrightarrow V_{OL} = 0.5\,V$

⑤ $\longrightarrow Q_2$ ~ hard on $\longrightarrow 0.8 = V_{BE}$

Q_4 ~ hard on $\longrightarrow 0.8 = V_{BE}$

Q_1 ~ hard on $\longrightarrow 0.5 = V_{CE}$

$V_{IH} = 1.1\,V$

PqPCO

V_{OL} , V_{IL} ~ Speed : STTL Trade Off

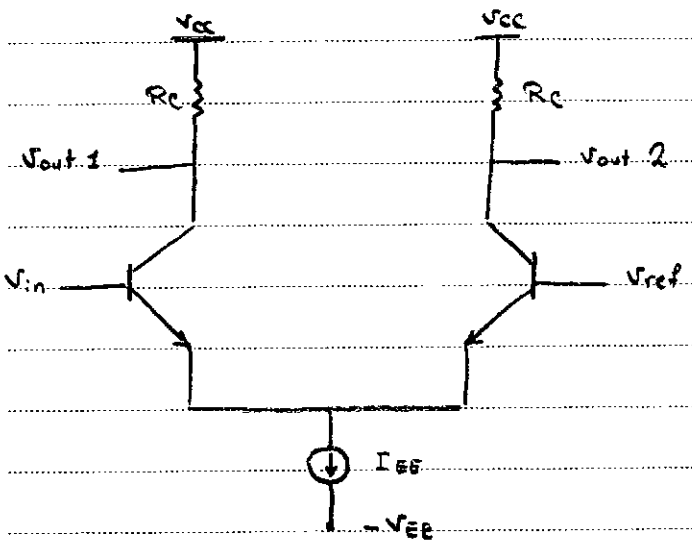
Subject:

Year. Month. Date. ( )

* جمع بندی طی:

RTL → DTL → TTL → HTTL
TTL → LTTL
TTL → STTL → LSTTL → ALSTTL
STTL → ASTTL
STTL → FAST
Fair Child Advanced STTL
use varactor

* ECL (Emitter Coupled logic)



سعی می‌کنیم ترانزیستور فوق اشباع نشوند.
شبیه هم باشند.
ولتاژ ثابتی است و تغییر نمی‌کند.
ولتاژ دو سر منبع جریان برقراری می‌نماند
بنابراین جریان آن ثابت است.

تمام جریان از شاخه راست تأمین می‌شود

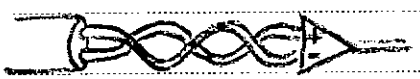
$V_{in} = 0 \longrightarrow$ $V_{out\,1} = V_{out\,2}$

$V_{in} = V_{ref} \longrightarrow$ $V_{out\,1} = V_{out\,2}$

$V_{in} > V_{ref} \longrightarrow$ $V_{out\,1} \downarrow$

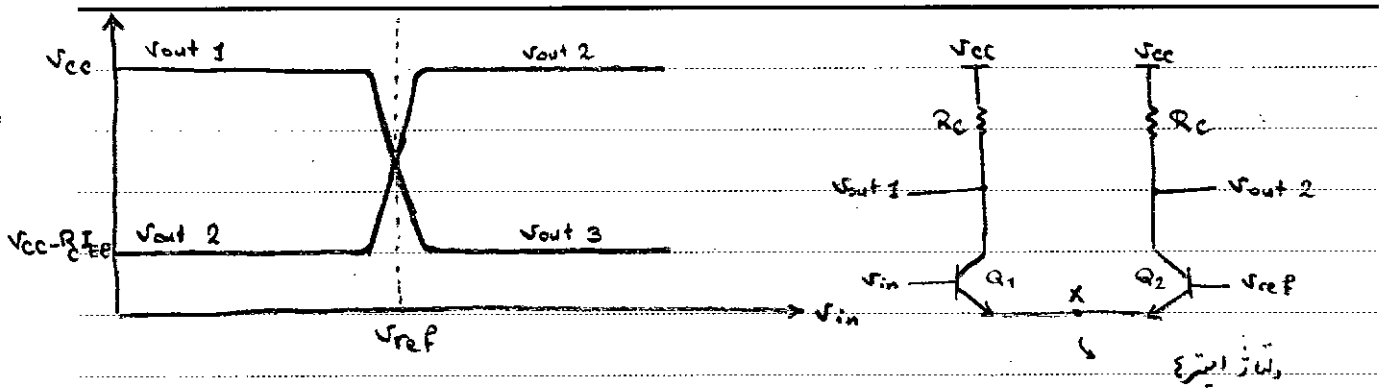
به این سبک مدار تقویت کننده دیفرانسیل می‌گویند.

برای رفع نویز، از زوج سیم استفاده می‌کنند و اختلاف بین آنها را به عنوان سیگنال ورودی در نظر می‌گیریم.



Subject:

Year. Month. Date. ( )



ولتاژ امیتر ع

① $V_{in} \ll V_{ref} \longrightarrow V_x = V_{ref} - 0.7$

$V_{out\,2} = V_{cc} - R_c . I_{EE}$

$V_{out\,1} = V_{cc}$

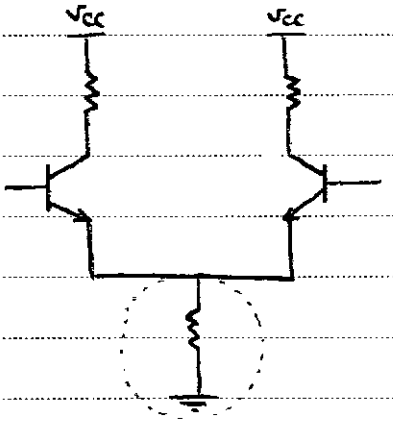
② $V_{in} = V_{ref} \longrightarrow Q_1 \sim$ on ، (آستانه) $\longrightarrow i_1 = i_2 = \frac{I_{EE}}{2} \longrightarrow V_{out\,1} = V_{out\,2}$

$\longrightarrow Q_2 \sim$ off

حاشیه پارامتر ع نسبت ~ invertor صدت می‌گیرد.

$V_{IL} = V_{ref} - \varepsilon \simeq V_{ref} - 0.05\,v$

$V_{IH} = V_{ref} + \varepsilon \simeq V_{ref} + 0.05\,v$



* می‌توان مدار را ساده کرد :
البته فقدان جریان ثابت مشکل ساز است.
بزینه و پیچیدگی این جایگزین کمتر است.

* مزایا و معایب

☺ very good performance

☹ low transistor density

☺ very fast ⟶ ($t_{PD} \simeq 1$ ns)

☺ differential output ⟶ (NAND + AND)

☺ common mode noise rejection

Subject:

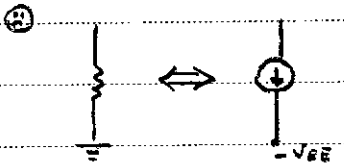
Year. Month. Date. ( )

☺ indipendent transition region ⟶ independant outputs

☹ low noise margin ⟶ $2\mathcal{E} = 0.1\,v$

☹ high power consumption ⟶ always I_{EE} passes

☹ low voltage swing (without I_{EE}, V_{EE}) ⟶ $V_{OH} - V_{OL}$

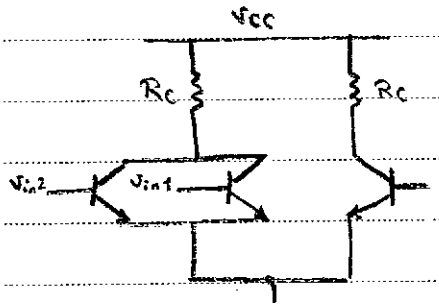


NAND ☑

از inverter شروع می‌کنیم، به nand می‌رسیم. پس $V_{out\,1}$ را در نظر می‌گیریم. اگر نسبت به ورودی صفر باشد، خروجی 1 شد.

با موازی کردن ترانزیستور روشن بودن یکی از ترانزیستورها نسبت به حالتی برقرار شد، $V_{out\,1}$ اتفاق می‌افتد پس NOR می‌سازیم.

سری کردن ترانزیستورها مشکل تطبیق V_{OL} و V_{IL} را به دنبال دارد.



⟶ NOR